

```

<HTML><HEAD>
<META HTTP-EQUIV="Content-type" CONTENT="text/html; charset=x-sjis">
<!!-- <META HTTP-EQUIV="Pragma" CONTENT="no-cache"> -->
<TITLE>Searching PAJ</TITLE>
</HEAD>

<BODY BGCOLOR="#FFFFFF" TEXT="#000000" LINK="#000066" VLINK="#808080"
ALINK="#FF0000" TOPMARGIN="0">
<BR><CENTER><H2><B>PATENT ABSTRACTS OF JAPAN</B></H2></CENTER>

<TABLE BORDER="0" WIDTH="100%">
  <TR><TD WIDTH="40%" VALIGN="top"><BR></TD>
    <TD WIDTH="15%" NOWRAP>(11)Publication number : </TD><TD VALIGN="top"
WIDTH="45%"><B>08-076874</B></TD></TR>
  <TR><TD WIDTH="40%" VALIGN="top"><BR></TD>
    <TD WIDTH="15%" NOWRAP>(43)Date of publication of application : </TD><TD
VALIGN="top" WIDTH="45%"><B>22.03.1996</B></TD></TR>
</TABLE>
<HR WIDTH="100%" SIZE="5">

<TABLE BORDER="0" WIDTH="100%">
  <TR>
    <TD VALIGN="top" WIDTH="40%">(51)Int.Cl.</TD>
    <TD VALIGN="top" WIDTH="60%"><PRE><B>      G06F 1/04
</B><BR><B>      G06F 1/06
</B><BR><B>      G06F 9/46
</B><BR></PRE></TD>
  </TR>
</TABLE>
<HR WIDTH="100%" SIZE="5">

<TABLE BORDER="0" WIDTH="100%">
  <TR>
    <TD WIDTH="15%" NOWRAP VALIGN="top">(21)Application number : </TD><TD
WIDTH="25%" VALIGN="top"><B>06-212448</B></TD>
    <TD WIDTH="15%" NOWRAP VALIGN="top">(71)Applicant : </TD><TD WIDTH="45%">
VALIGN="top"><B>HITACHI LTD<BR></B></TD>
  </TR>
  <TR>
    <TD WIDTH="15%" NOWRAP VALIGN="top">(22)Date of filing : </TD><TD WIDTH="25%">
VALIGN="top"><B>06.09.1994</B></TD>
    <TD WIDTH="15%" NOWRAP VALIGN="top">(72)Inventor : </TD><TD WIDTH="45%">
VALIGN="top"><B>NISHIOKA KIYOKAZU<BR>TANAKA KAZUHIKO<BR>NOGUCHI YOSHIKI<BR>OBA
SHINYA<BR></B></TD>
  </TR>
</TABLE>
<HR WIDTH="100%" SIZE="5">

<!!--_PRIORITY_DELETE_
<TABLE BORDER="0">
  <TR><TD>(30)Priority</TD></TR>
  <TR>
    <TD VALIGN="top">Priority number : </TD><TD VALIGN="top" NOWRAP><B></B></TD>
    <TD VALIGN="top">&nbsp;&nbsp;&nbsp;Priority date : </TD><TD
VALIGN="top"><B></B></TD>
    <TD VALIGN="top">&nbsp;&nbsp;&nbsp;Priority country : </TD><TD
VALIGN="top"><B><NOBR></NOBR></B></TD>
  </TR>
</TABLE>
<HR WIDTH="100%" SIZE="5">
__PRIORITY_DELETE__-->
```

<TABLE BORDER="0" WIDTH="100%>
<TR><TD>(54) DEVICE AND METHOD FOR CONTROLLING CLOCK OF CENTRAL PROCESSING
UNIT
</TD></TR>
<TR><TD VALIGN="top">

(57)Abstract:

PURPOSE: To control a clock of CPU so as to execute an operation with a low power consumption by automatically changing-over the clock into the absolute min. operation clock of CPU within a range where the requesting performance of a program to run is satisfied in the operation environment of a multi- task.
CONSTITUTION: The clock controlling device is provided with a performance information of a central processing unit(CPU) 1, which is required at every task, and also provided with more than one performance information setting circuits 9 and 10 setting performance information of CPU 1 at every task, a selecting information generating circuit 7 deciding the clock frequency of CPU 1 so as to permit the operation to be executed with absolute min. performance which is required by the task in starting, an oscillation circuit 6 generating plural clock signals and a clock selecting circuit 5 selecting one of the clock signals and giving it to the CPU 1.

</TD></TR>

</TABLE>

<HR WIDTH="100%" SIZE="5">

LEGAL STATUS

<TABLE BORDER="0" WIDTH="100%>
<TR><TD WIDTH="50%">[Date of request for examination]</TD>
<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>
</TR>
<TR><TD WIDTH="50%" VALIGN="top">[Date of sending the examiner's decision of
rejection]</TD>
<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>
</TR>
<TR><TD WIDTH="50%" VALIGN="top">[Kind of final disposal of application other than
the examiner's decision of rejection or application converted registration]</TD>
<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>
</TR>
<TR><TD WIDTH="50%" VALIGN="top">[Date of final disposal for application]</TD>
<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>
</TR>
<TR><TD WIDTH="50%" VALIGN="top">[Patent number]</TD>
<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>
</TR>
<TR><TD WIDTH="50%" VALIGN="top">[Date of registration]</TD>
<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>
</TR>
<TR><TD WIDTH="50%" VALIGN="top">[Number of appeal against examiner's decision of
rejection]</TD>
<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>
</TR>
<TR><TD WIDTH="50%" VALIGN="top">[Date of requesting appeal against examiner's
decision of rejection]</TD>
<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>
</TR>
<TR><TD WIDTH="50%" VALIGN="top">[Date of extinction of right]</TD>
<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>
</TR>
</TABLE>

<!--_CORRECT_DELETE__
<HR WIDTH="100%" SIZE="5">
CORRECTION


```
<TABLE BORDER="0">
__CORRECT_DATA__
</TABLE>
__CORRECT_DELETE__-->
```


<HR>CLAIMS
<HR>[Claim(s)]

[Claim 1]

Under the memory which stores the operating system and program of the multitasking which can start, switch and perform two or more tasks, and the operating system environment of said multitasking.

In the clock control equipment of the central processing unit of an information processor equipped with the central processing unit with which said program is performed and a speed of operation is determined based on the clock frequency given One or more engine-performance information setting-out circuits which establish the engine-performance information on the central processing unit which is started under the operating system environment of said multitasking, and which is needed for every task, and set up the engine-performance information on the central processing unit for said every task,

The selection information generation circuit which generates selection information so that it may determine that the clock frequency of said central processing unit will operate by the necessary minimum engine performance which the task under starting needs using one or more engine-performance information set as said engine-performance information setting-out circuit,

Clock control equipment of the central processing unit characterized by preparing the oscillator circuit which generates two or more clock signals, and the clock selection circuitry which chooses one from said two or more clock signals, and is given to said central processing unit according to said selection information.

[Claim 2]

Clock control equipment of the central processing unit according to claim 1 characterized by accumulating said central processing unit, said one or more engine-performance information setting-out circuits, selection information generation circuit, and clock selection circuitry into 1 chip.

[Claim 3]

Under the memory which stores the operating system and program of the multitasking which can start, switch and perform two or more tasks, and the operating system environment of said multitasking

In the clock control approach of the central processing unit of an information processor equipped with the central processing unit with which said program is performed and a speed of operation is determined based on the clock frequency given The engine-performance information on the central processing unit which is started under the operating system environment of said multitasking and which is needed for every task is established. One or more engine-performance information setting-out circuits,

It has a selection information generation circuit, the oscillator circuit which generates two or more clock signals, and a clock selection circuitry.

Said one or more engine-performance information setting-out circuits set up the engine-performance information on the central processing unit for said every task. Said selection information generation circuit uses one or more engine-performance information set as said engine-performance information setting-out circuit.

Selection information is generated so that it may determine that the clock frequency of said central processing unit will operate by the necessary minimum engine performance which the task under starting needs.

The clock control approach of the central processing unit characterized by for said clock selection circuitry choosing one according to said selection information from two or more clock signals generated from said oscillation machine, and giving to said central processing unit.

[Claim 4]

The operating system of said multitasking manages the engine-performance information which said each task needs in each task unit.

In case a task is started, it has the step which sets up the engine-performance information on the task started to said engine-performance information setting-out circuit,

Furthermore, the clock control approach of the central processing unit according to claim 3 characterized by having the step which makes an invalid engine-performance information on the corresponding task which has been set as said engine-performance information setting-out circuit in case a task is ended.

[Claim 5]

The step which registers the engine-performance information on the task to a task management table in case said task is started,

The step which reads the engine-performance information on all the tasks under starting, and the step which computes the engine-performance information on a necessary minimum central processing unit using the engine-performance information on said all tasks,

It has the step which sets the engine-performance information on said central processing unit to said selection information generation circuit,

Furthermore, the step which deletes the engine-performance information on the task from a task management table in case a task is ended,

The step which reads the engine-performance information on all the tasks under starting, and the step which computes the engine-performance information on a necessary minimum central processing unit using the engine-performance information on said all tasks,

The clock control approach of the central processing unit according to claim 4 characterized by having the step which sets the engine-performance information on said central processing unit to said selection information generation circuit.

[Claim 6]

Claim 1 to which said central processing unit is characterized by generating the clock selection information of said central processing unit according to said program from one or more engine-performance information acquired from said engine-performance information setting-out circuit, and clock control equipment of one of central processing units according to claim 2.

[Claim 7]

The clock-control equipment of the central processing unit according to claim 6 to which said information processor can use either a cell or an AC power as a current-supply means, the time of using the cell and the time of using the AC power identify by establishing the discernment means of a current-supply means, and said central processing unit is characterized by to generate the clock selection information of said central processing unit by the identified result from one or more engine-performance information acquired from said engine-performance information setting-out circuit.

<HR>DETAILED DESCRIPTION

<HR>[Detailed Description of the Invention]

[0001]

[Industrial Application]

This invention relates to the clock control equipment and the clock control approach of a central processing unit, and is personal. It is related with the clock control equipment and the clock control approach of a suitable central processing unit to attain power-saving of the central processing unit (it is written as "CPU" Central Processing Unit and the following) used for the information processor represented by a computer (only henceforth a "personal computer"), and the small information terminal.

[0002]

[Description of the Prior Art]

In recent years, consumption of power has been made the problem over social [at large] by the increment in power requirements.
On the other hand, the small computer commercial scene was rapidly expanded under such a situation, and the number of installation in the world commercial scene of a personal computer is over 3 million sets.
Moreover, the demand of the pocket mold information machines and equipment used by the cell is also increasing, and low electrification of such a device is also becoming an important technical problem.

[0003]

Therefore, especially, power consumption reduction of CPU which is the center of information processors, such as such a personal computer and pocket mold information machines and equipment, attracts attention, and the technique of the former many is tried.

There is the technique of controlling the clock of CPU as one of the leading things of the power consumption reduction technique of such a CPU.

This attains control of the power consumption of CPU by operating CPU with a low speed clock under a specific condition.

Here, supply voltage's having fallen to the level of arbitration and the interrupt to CPU have generated this specific condition.

[0004]

Now, as invention applied to the information processor with which a demand has a strong multitasking feature when realizing communication facility, such as an information terminal, especially, "the shift method to a low-power condition" of a publication is in JP,62-150416,A about the power consumption reduction technique of such a CPU.

In the system carrying the operating system (it is written as "OS" ; Operating System and the following) to which parallel operation of two or more tasks is carried out, this invention is a shift method which changes a computer system into a low-power condition, when a means to detect the existence of the task which should be performed, and a changing [into a low-power condition]-computer system means are established and there is no task which should be performed.

[0005]

[Problem(s) to be Solved by the Invention]

The above-mentioned conventional technique has described the method which shifts a computer system to a low-power condition.

However, only when it judged whether the task which should be performed exists and there was no task which should be performed about it, in order that the above-mentioned conventional technique may not operate in the state of a low power and might not operate in the state of a low power during task activation, it had the trouble that the applicability was narrow.

[0006]

Moreover, the multimedia (an animation, voice, etc.) which requires the great operation engine performance is incorporated by the system more often in recent years.

For example, the case where a word processor, the software of a spreadsheet, and the software of a television conference are operated with one personal computer can be considered.

Here, although the former word processor and the software of a spreadsheet become useful enough if CPU is several 10MIPS (1 million instructions / per second, Million Instruction Per Second) in engine performance, in addition to compression extension processing of an animation and voice, communication facility is also needed, and the software of a latter television conference needs the engine performance of several 100MIPS.

On the other hand, the engine performance of CPU is in an annual rate [of about about 1.6 times] rapid high performance-sized inclination, and can be predicted to be what will reach the engine performance of several 100MIPS in several years.
However, since the difference of the power consumption in operating state (several

10MIPS and several 100MIPS) is dramatically large, it is useless consumption of power to operate several 10MIPS software to CPU with the engine performance of several 100MIPS.

[0007]

Therefore, although there was a request which switches the engine performance automatically according to the software to be used, with the conventional technique, the view of changing the engine performance of CPU had the trouble of not being carried out, according to a speed of a program of operation.

[0008]

It is what was made in order that this invention might solve the trouble of the above-mentioned conventional technique. The object

In the operating environment of multitasking, according to the engine performance of a program of making it operating with the information processor, at the time of activation of the processing program which can be managed with the low engine performance

It is offering the clock control equipment and the clock control approach of CPU it changing to the clock of necessary minimum CPU with which are satisfied of the military requirement of operation automatically, power consumption's being saved, and actuation with a low power being realized also in task activation.

[0009]

Moreover, other objects of this invention are offering the clock control equipment and the clock control approach of CPU which operate with a low power, only when judging whether the information processor operates by the AC power, or it operates by the cell and operating by the cell.

[0010]

[Means for Solving the Problem]

In order to attain the above-mentioned object, the configuration of invention concerning the clock control equipment of the central processing unit of this invention

Under the memory which stores the operating system and program of the multitasking which can start, switch and perform two or more tasks, and the operating system environment of said multitasking

In the clock control equipment of the central processing unit of an information processor equipped with the central processing unit with which said program is performed and a speed of operation is determined based on the clock frequency given One or more engine-performance information setting-out circuits which establish the engine-performance information on the central processing unit which is started under the operating system environment of said multitasking, and which is needed for every task, and set up the engine-performance information on the central processing unit for said every task,

The selection information generation circuit which generates selection information so that it may determine that the clock frequency of said central processing unit will operate by the necessary minimum engine performance which the task under starting needs using one or more engine-performance information set as said engine-performance information setting-out circuit,

The oscillator circuit which generates two or more clock signals, and the clock selection circuitry which chooses one from said two or more clock signals, and is given to said central processing unit according to said selection information were prepared.

[0011]

It is made to accumulate said central processing unit, said one or more engine-performance information setting-out circuits, selection information generation circuit, and clock selection circuitry into 1 chip in the clock control equipment of the above-mentioned central processing unit in more detail.

[0012]

In order to attain the above-mentioned object, the configuration of invention

concerning the clock control approach of the central processing unit of this invention

Under the memory which stores the operating system and program of the multitasking which can start, switch and perform two or more tasks, and the operating system environment of said multitasking

In the clock control approach of the central processing unit of an information processor equipped with the central processing unit with which said program is performed and a speed of operation is determined based on the clock frequency given. The engine-performance information on the central processing unit which is started under the operating system environment of said multitasking and which is needed for every task is established. One or more engine-performance information setting-out circuits,

It has a selection information generation circuit, the oscillator circuit which generates two or more clock signals, and a clock selection circuitry.

Said one or more engine-performance information setting-out circuits set up the engine-performance information on the central processing unit for said every task.

Said selection information generation circuit uses one or more engine-performance information set as said engine-performance information setting-out circuit.

Selection information is generated so that it may determine that the clock frequency of said central processing unit will operate by the necessary minimum engine performance which the task under starting needs.

Said clock selection circuitry chooses one according to said selection information from two or more clock signals generated from said oscillation machine, and it is made to give to said central processing unit.

[0013]

It sets to the clock control approach of the above-mentioned central processing unit in more detail. The operating system of said multitasking

In case the engine-performance information which said each task needs is managed in each task unit and a task is started, it has the step which sets up the engine-performance information on the task started to said engine-performance information setting-out circuit,

Furthermore, in case a task is ended, it is made to have the step which makes an invalid engine-performance information on the corresponding task which has been set as said engine-performance information setting-out circuit.

[0014]

The step which registers the engine-performance information on the task to a task management table in the clock control approach of the above-mentioned central processing unit in more detail in case said task is started,

The step which reads the engine-performance information on all the tasks under starting, and the step which computes the engine-performance information on a necessary minimum central processing unit using the engine-performance information on said all tasks,

It has the step which sets the engine-performance information on said central processing unit to said selection information generation circuit,

Furthermore, the step which deletes the engine-performance information on the task from a task management table in case a task is ended,

It is made to have the step which reads the engine-performance information on all the tasks under starting, the step which computes the engine-performance information on a necessary minimum central processing unit using the engine-performance information on said all tasks, and the step which sets the engine-performance information on said central processing unit to said selection information generation circuit.

[0015]

Moreover, in order to attain the above-mentioned object, another configuration of invention concerning the clock control equipment of the central processing unit of this invention generates the clock selection information of said central processing unit in the clock control equipment of the above-mentioned central processing unit according to said program from one or more engine-performance information which said central processing unit acquires from said engine-performance information setting-out circuit.

[0016]

Still more nearly another configuration is said information processor's being able to use either a cell or an AC power as a current supply means in the clock control equipment of the above-mentioned above-mentioned central processing unit, and establishing the discernment means of a current supply means. The time of using the cell and the time of using the AC power are identified, and said central processing unit generates the clock selection information of said central processing unit by the identified result from one or more engine-performance information acquired from said engine-performance information setting-out circuit.

[0017]

[Function]

According to this invention, it has the engine-performance information on the proper of each program, and it opts for the engine performance of required CPU in a selection information generation circuit, and the clock of CPU is controlled by engine-performance information on a program that it is operating in multitasking-ing at the time of starting of a task, and termination. Therefore, since the clock of CPU of operation is determined in consideration of the military requirement of each program even when two or more programs are performing to juxtaposition, actuation becomes possible with the need and the minimum power.

[0018]

Moreover, only when operating by the cell by the power source of the information processor judging an AC power or a cell, and carrying out to operating the clock of CPU in the low condition by the power-source detector in the selection information generation circuit when a power source is a cell, it will operate with a low power.

[0019]

[Example]

Hereafter, each example concerning this invention is explained using

<A
 HREF="[drawing 1](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F%7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000005)"
 TARGET="tjitemdrw">drawing 1
 thru/or

<A
 HREF="[drawing 12](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F%7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000016)"
 TARGET="tjitemdrw">drawing 12

[Example 1] The first example concerning this invention is hereafter explained using

<A
 HREF="[drawing 1](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F%7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000005)"
 TARGET="tjitemdrw">drawing 1
 thru/or

<A
 HREF="[drawing 6](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F%7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000010)"
 TARGET="tjitemdrw">drawing 6

First, I will explain the circuitry of the clock control equipment of CPU which starts this invention using

<A
 HREF="[Page 8](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F%7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000010)

1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000005"

TARGET="tjitemdrw">drawing 1

<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000005"

TARGET="tjitemdrw">Drawing 1
is the block diagram showing the circuitry of the clock control equipment of CPU concerning the first example of this invention.

[0020]

In

<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000005"

TARGET="tjitemdrw">drawing 1
, an oscillator circuit 6 can generate the clock of eight kinds of frequencies.
The selection information circuit 7 is a circuit for controlling the clock selection circuitry 5.

The engine-performance information setting-out circuits 9 and 10 are circuits for holding the load information on a task.

The program and data which CPU1 uses are stored in memory 13.

And a task administrator 14 and the task management table 15 are things which are shown in drawing and which are stored in this memory 13 like.

[0021]

To CPU1, the operating state of 8 level shall be specified at intervals of MIPS to 5-40MIPS.

An oscillator circuit 6 outputs the clock of eight kinds of frequencies corresponding to each above-mentioned level.

[0022]

Moreover, OS (Operating System) of multitasking is started and the information processor concerning this invention is premised on performing various programs on the OS.

OS contains the task administrator 14 which controls starting and termination of a task.

Furthermore, various information required for control of a task administrator 14 is included in the task management table 15.

Specifically, in addition to Task ID, required memory space, etc. which identify each task uniquely for every task, it exists as an item into which engine-performance information and a pending flag characteristic of this invention are registered.

[0023]

Engine-performance information is capacity it is incapable for the load of CPU specified according to the content of the program which each task performs.

A pending flag is a flag which shows that it is in a waiting state for the engine-performance information on a certain task to set it as an engine-performance information setting-out circuit.

[0024]

Since the role of a pending flag becomes clear when using a flow behind and explaining actuation of this invention, engine-performance information is explained previously.

Engine-performance information is specified according to the content of the program which a task performs, as stated in the top.

For example, in the case of the program about a word processor, 10MIPS and a printing program make an editor program required [the CPU engine performance of 5MIPS].

[0025]

In such a situation, if 10MIPS engine-performance information is set to the engine-performance information setting-out circuit 9 in case a task administrator 14 starts the task of an editor program, the selection information circuit 7 will generate the selection information corresponding to the clock frequency of CPU1 equivalent to 10MIPS.

According to this selection information, the clock selection circuitry 5 chooses the corresponding clock, and supplies it to CPU1 through the clock line 4.

Thereby, CPU1 operates by 10MIPS.

This is the fundamental structure of this invention.

[0026]

Then, in case the document edited with the word processor is printed, a task administrator 14 starts the task of a printing program.

At this time, 5MIPS engine-performance information is set to the engine-performance information setting-out circuit 10.

The selection information circuit 7 generates the selection information corresponding to the clock frequency of CPU1 equivalent to 15MIPS from the engine-performance information set as the 10MIPS engine-performance information and the engine-performance information setting-out circuit 10 which were set as the engine-performance information setting-out circuit 9.

According to this selection information, the clock selection circuitry 5 chooses the corresponding clock, and supplies it to CPU1 through the clock line 4.

Thereby, CPU1 shifts to 15MIPS from 10MIPS to a more nearly high-speed mode of operation.

[0027]

Since engine-performance information is expressed with the throughput for every time amount, when parallel execution of both the tasks is carried out, I will care about becoming addition of both tasks.

[0028]

According to this invention, in this way, even when printing is performed during edit with a word processor, as the load was balanced, the engine performance of CPU1 is raised, and but sufficient operating environment for edit can be acquired, printing.

[0029]

Next, I will explain the detailed circuitry of an engine-performance information setting-out circuit using

<A
HREF="http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000006"
TARGET="tjitemdrw">drawing 2

<A
HREF="http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000006"
TARGET="tjitemdrw">Drawing 2
is the block diagram showing the circuitry of the engine-performance information setting-out circuit concerning the first example of this invention.

[0030]

As mentioned above, the engine-performance information setting-out circuit 9 is a circuit for holding the engine-performance information for every task started by the task administrator 14.

While engine-performance information is set to the engine-performance information setting-out register 22 at the time of task starting, the enabling information the task ID of the task indicates it to be that setting out of the task ID setting-out register 20 and the engine-performance information setting-out register 22 is still

more effective to the task ID setting-out register 20 is set to the enabling setting-out register 21.

The enabling setting-out register 21 shows an invalid state at the time of an effective condition and a logical value "1" at the time of a logical value "0".

Therefore, as for AND circuit 23, only in the case of an effective condition, the information on the engine-performance information setting-out register 22 is outputted to the engine-performance information line 11.

On the contrary, in the case of an invalid state, a logical value "0" is outputted to the engine-performance information line 11.

[0031]

Here, it is shown that the value with which the time of an effective condition was set as this engine-performance information setting-out circuit is effective, the value with which the invalid state of reverse was set as this engine-performance information setting-out circuit is invalid, and, so to speak, the enabling setting-out register 21 shows that the value is not set up.

[0032]

Moreover, CPU1 is reading through an address bus 2 and a data bus 3, the setting-out information on the task ID setting-out register 20, the enabling setting-out register 21, and the engine-performance information setting-out register 22 is possible, and a task administrator 14 can know the setting-out information on the engine-performance information setting-out circuit 9.

[0033]

Next, I will explain the detailed circuitry of a selection information generation circuit using

drawing 3

Drawing 3

is the block diagram showing the circuitry of the selection information generation circuit concerning the first example of this invention.

[0034]

This example will recollect that the operating state of 8 level has been specified to CPU1.

Therefore, this selection information generation circuit 7 treats triplet information.

[0035]

In

drawing 3

, an adder circuit 30 adds the information on a triplet.

When an addition result carries out the digit riser of the carry signal line 31, it shows a logical value "1".

A decoder circuit 35 is a triplet.

[0036]

An adder circuit 30 outputs the addition result of the engine-performance information on the engine-performance information line 11 (0-7), and the

engine-performance information on the engine-performance information line 12 (0-7) to OR circuit 32 - OR circuit 34. When an addition result is seven or less, the carry signal line 31 serves as a logical value "0", and OR circuit 32 - OR circuit 34 output the addition result of an adder circuit 30 to a decoder circuit 35 as it is.

[0037]

On the other hand, when the addition result of an adder circuit 30 is eight or more, the addition result 7 is outputted to a decoder circuit 35. In short, the carry signal line 31 serves as a logical value "1", and OR circuit 32 - OR circuit 34 output a logical value "1" to a decoder circuit 35 altogether.

In such a case, since the clock which can choose the clock selection circuitry 5 is restricted to eight kinds, a division is needed in order to press down the highest level of engine-performance information to 7.

For example, about 16 kinds of clocks, if the clock selection circuitry 5 is selectable, it will become that from which the configuration of this selection information circuit also differed.

[0038]

Thus, in response to the engine-performance information which OR circuit 32 - OR circuit 34 output, a decoder circuit 35 outputs the information for choosing the corresponding clock signal to the selection information signal line 8.

[0039]

The selection information circuit 7 outputs the clock selection information generated from the information on the engine-performance information lines 11 and 12 to the selection information signal line 8, and makes the suitable clock for the clock selection circuitry 5 choose, as explained above.

[0040]

Next, I will explain the detail of a task administrator 14 using

<A

[TARGET="tjitemdrw">drawing 4](http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000008)

and

<A

[TARGET="tjitemdrw">drawing 5](http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000009)

<A

[TARGET="tjitemdrw">Drawing 4](http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000008)
is a flow chart showing actuation of the task administrator at the time of task starting.

<A

[TARGET="tjitemdrw">Drawing 5](http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000009)

is a flow chart showing actuation of the task administrator at the time of the end of task.

[0041]

First, I will explain the order of drawing for actuation in case a task administrator 14 starts a task using

<A

REF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F%7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000008"
TARGET="tjitemdrw">drawing 4

later on.

First, predetermined task starting processing which the usual multitasking OS performs is performed (S400).

Here, the content of the task management table 15 is updated.

That is, the task ID of the task started newly, required memory space, engine-performance information, etc. are registered into the task management table 15.

[0042]

Next, the enabling information set as the engine-performance information setting-out circuits 9 and 10 is read (S401), and the information checks validity or an invalid (S402).

This investigates whether there is any engine-performance information setting-out circuit which is not used.

[0043]

If one of enabling information is invalid states, Task ID, enabling effective information, and engine-performance information on a task to start will be set to the engine-performance information setting-out circuit (one of 9 and 10) of the corresponding direction (S403).

CPU1 will operate with the optimal clock frequency under the environment where a new task was started by this, and task starting processing is ended.

[0044]

On the other hand, in the step of S402, if all enabling are in an effective condition, all engine-performance information setting-out circuits are in the condition currently used for other tasks.

In this case, the task started newly needs to investigate whether the engine-performance information on these engine-performance information setting-out circuits 9 and 10 should be updated.

[0045]

In this case, the engine-performance information on these engine-performance information setting-out circuits 9 and 10 is read (S404).

[0046]

Next, each read engine-performance information is compared with the engine-performance information on the task to start (S405).

Consequently, if the engine-performance information on the task to start is the lowest value, it is in the condition that the engine performance of CPU is fully rising by the already started task.

Therefore, without the engine-performance information setting-out circuits 9 and 10 updating in this case, the pending flag of the task started in the task management table 15 is changed into an effective condition (S407), and it ends.

Here, although the pending flag was started as a task, that shows having not affected it to the engine-performance information setting-out circuits 9 and 10.

This pending flag is referred to at the time of the next end of task.

[0047]

On the other hand, if the engine-performance information on the task to start is not the lowest value, the engine performance of CPU must be raised corresponding to this started task.

Therefore, Task ID, enabling effective information, and engine-performance information on a task to start are set to the engine-performance information setting-out circuit (one of 9 and 10) of the direction where the in this case lowest value is set up (S406).

And the pending flag of the process corresponding to the process ID of the rewritten engine-performance information setting-out circuit is confirmed, and it ends.

Since the already started task is no longer reflected in the engine performance of

an engine-performance information setting-out circuit by rewriting, this is for making it return later.

[0048]

CPU1 will operate with the optimal clock frequency under the environment where a new task was started by this, and task starting processing is ended.

[0049]

As explained above, although this example is constituted from two engine-performance information setting-out circuits 9 and 10, such fine clock control becomes possible and it can acquire the effectiveness of power-saving that it can respond also when increasing this number, and the number is increased.

[0050]

First, I will explain the order of drawing for actuation in case a task administrator 14 terminates a task using

<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000009"
TARGET="tjitemdrw">drawing 5

later on.

First, the task ID information set as the engine-performance information setting-out circuits 9 and 10 is read (S501), and it is confirmed whether it is in agreement with the task ID of the task which the information tends to end (S502). This is for investigating whether the engine performance of the task which it is going to end is reflected in the engine-performance information setting-out circuit.

[0051]

If the task ID information on the task ID stored in one of engine-performance information setting-out circuits and the task which it is going to end is in agreement, enabling invalid information will be set to the engine-performance information setting-out circuit (one of 9 and 10) of the corresponding direction (S503).

This corresponds to having eliminated the information on an engine-performance information setting-out circuit.

[0052]

Next, it is confirmed whether the task from which the pending flag is effective exists in the task management table 15 (S504).

It is possible that it is in a waiting state that the pending flag is effective in order to start the task and to set the engine performance as the engine-performance information setting-out circuits 9 and 10.

Therefore, if the task from which the pending flag is effective exists, Task ID, enabling effective information, and engine-performance information on the task will be set to the engine-performance information setting-out circuit (one of 9 and 10) which corresponded in step 503 (S505).

And the pending flag of the set-up task is made into an invalid state (S506).

[0053]

By this, CPU1 will operate with the optimal clock frequency under the environment which the task ended.

[0054]

Predetermined end-of-task processing which the usual multitasking OS performs is performed (S507), and end-of-task processing is ended, such as deleting the information about the task ended from the task management table 15 finally.

[0055]

On the other hand, in step S502, if it becomes, the task one of whose task ID information does not correspond, either and to end will not have influenced the clock frequency decision of CPU1.

Therefore, it jumps over steps S503-S506, step S507 is performed, and end-of-task

processing is ended.

[0056]

Similarly, in step S504, if it becomes, there will be no task in which the task of an effective condition does not exist [a pending flag] and which should influence the clock frequency decision of CPU1. Therefore, it jumps over steps S505 and S506, step 507 is performed, and end-of-task processing is ended.

[0057]

I will explain the example of concrete actuation of the example which used

drawing 6

and was finally explained above in order of the passage of time.

Drawing 6

is the timing chart which showed the relation between each task status and engine-performance information in order of the passage of time.

[0058]

Drawing 6

shows the event which shows starting and termination of each task, the started task status (transition between a running state and a standby condition), the engine-performance information set as the engine-performance information setting-out circuit 9 and the engine-performance information setting-out circuit 10, and the engine-performance information equivalent to real actuation of CPU1 in more detail. It decided to use six time slots (0-5) on the basis of each event as a unit of the time-axis in this drawing.

[0059]

Like

drawing 6

, although Task A, Task B, and Task C are started, I will make engine-performance information corresponding to these each referred to as "2", "4", and "5".

[0060]

First, in a time slot 0, only OS is operating and the task under activation does not exist.

At this time, enabling is set as the invalid state in the engine-performance information setting-out circuit 9 and the engine-performance information setting-out circuit 10, and CPU1 is operating by the minimum engine performance "0".

[0061]

Next, in the time slot 1 by which Task A was started, a task administrator 14 sets enabling effective information and engine-performance information "2" to the engine-performance information setting-out circuit 9.

By this, CPU1 will operate by the engine performance equivalent to engine-performance information "2".

[0062]

Next, in the time slot 2 by which Task B was started, first, Task B will be in a running state and Task A changes from a running state to a standby condition. Furthermore, a task administrator 14 sets enabling effective information and engine-performance information "4" to the engine-performance information setting-out circuit 10.

The engine-performance information "2" set as the engine-performance information setting-out circuit 9 and the engine-performance information "4" set as the engine-performance information setting-out circuit 10 are added by this in the selection information generation circuit 7, and CPU1 operates by the engine performance equivalent to engine-performance information "6".

Under this operating environment, Task A and Task B change between a running state and standby conditions in rebellion.

[0063]

Next, in the time slot 3 by which Task C was started, first, Task C will be in a running state and Task A changes from a running state to a standby condition. Since the engine-performance information on the task C started is "5", a task administrator 14 compares the engine-performance information set to the engine-performance information setting-out circuit 9 and the engine-performance information setting-out circuit 10, and sets engine-performance information "5" to the engine-performance information setting-out circuit 9 of the direction where low engine-performance information is set up.

Thereby, although engine-performance information is originally set to "9", since the maximum level of engine-performance information is "7", CPU1 operates by the engine performance equivalent to engine-performance information "7" at this example.

[0064]

Moreover, a task administrator 14 makes an effective condition the pending flag of the task A in the task management table 15.

Under such operating environment, Task A, Task B, and Task C change between a running state and standby conditions in rebellion.

[0065]

Next, in the time slot 4 by which Task B was ended, first, Task C will be in a running state and ends Task B.

Furthermore, a task administrator 14 sets the engine-performance information on Task A "2" that the pending flag is effective to the engine-performance information setting-out circuit 10 instead of the engine-performance information on Task B "4".

That is, the engine-performance information on the driven-out task A is returned. Thereby, CPU1 operates by the engine performance equivalent to engine-performance information "7".

Under this operating environment, Task A and Task C change between a running state and standby conditions in rebellion.

[0066]

Finally, in the time slot 5 by which Task A was ended, first, Task C will be in a running state and Task A is ended.

Furthermore, a task administrator 14 sets enabling invalid information to the engine-performance information setting-out circuit 10 in order to make an invalid engine-performance information on the task A to end "2". Only the engine-performance information setting-out circuit 9 becomes effective by this, and CPU1 operates by the engine performance equivalent to engine-performance information "5".

[0067]

Although engine-performance information setting-out circuits are two configurations, if it did not necessarily limit to this and the number of engine-performance information setting-out circuits is increased, the working speed of CPU1 can be

controlled by the first example explained above still more finely. If similarly the clock frequency of CPU1 was not necessarily limited to eight kinds, either and increases ***** of a frequency, a still finer power saving force control will become possible.

[0068]

[Example 2] The second example concerning this invention is hereafter explained using

<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000011"
TARGET="tjitemdrw">drawing 7

<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000011"
TARGET="tjitemdrw">Drawing 7
is the block diagram showing the circuitry of the clock control equipment of CPU concerning the second example of this invention.

[0069]

Although a configuration with this second fundamental example, actuation, and its thought are based on the same thing, that description is in the place which accumulates and forms circuitry into 1 chip.

[0070]

An oscillator 62 generates a clock signal and a frequency divider 61 generates the clock signal which is eight kinds from which a frequency differs. Moreover, the low power response CPU 60 is the processor which integrated CPU1, the engine-performance information setting-out circuits 9 and 10, the selection information generation circuit 7, the clock selection circuitry 5, and the frequency divider 61 for one chip.

[0071]

In this example, since the circuit sections, such as the engine-performance information setting-out circuit 9, are integrated by the low power response CPU 60, there is an advantage that the components mark of the whole circuitry are reducible.

[0072]

Moreover, since the low power response CPU 60 builds in a frequency divider 61, the clock signal line from an oscillator 62 can be managed with one. Since it can consist of comparatively easy hardware as the first example explained, its circuit magnitude is comparatively small, and since the circuit built in the low power response CPU 60 does not increase the number of pins so much as compared with CPU1, either, it is possible for fully constituting as an integrated circuit.

[0073]

As effectiveness of this second example, the packaging design of the miniaturization by integrating a circuit and not only low electrification but hardware may become easy.

That is, technical technical problems on mounting, such as an echo, interference, etc. of a clock signal which pose a problem with improvement in the speed of a CPU clock by having incorporated the clock selection circuitry 5 inside the chip, are eased.

[0074]

[Example 3] The third example concerning this invention is hereafter explained using

<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3

F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000012"
TARGET="tjitemdrw">drawing 8
thru/or
<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd
l.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%
F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000014"
TARGET="tjitemdrw">drawing 10

<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd
l.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%
F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000012"
TARGET="tjitemdrw">Drawing 8
is the block diagram showing the circuitry of the clock control equipment of CPU
concerning the third example of this invention.

[0075]

The description of this third example is in the first example for the selection information setting-out circuit 70 to generate the selection information which the engine-performance information setting-out circuits 9 and 10 and the selection information setting-out circuit 7 generate according to the task administrator 71 shown in

<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd
l.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%
F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000012"
TARGET="tjitemdrw">drawing 8

[0076]

Here, the selection information setting-out circuit 70 is a circuit which sets up the selection information given to the clock selection circuitry 5, and a task administrator 71 is a program with the function which generates selection information.

[0077]

Hereafter, I will explain the function of this selection information setting-out circuit 70 to a detail using

<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd
l.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%
F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000013"
TARGET="tjitemdrw">drawing 9

<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd
l.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%
F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000013"
TARGET="tjitemdrw">Drawing 9
is the block diagram showing the circuitry of the selection information setting-out circuit concerning the third example of this invention.

[0078]

The engine-performance level which can also deal with this example assumes eight steps, therefore a register 80 is a triplet.

In the selection information setting-out circuit 70, while CPU1 sets up the engine-performance information on a triplet through an address bus 2 and a data bus 3, the set-up engine-performance information can be read.

The engine-performance information to set up differs in an example 1, and an engine-performance information setting-out circuit does not generate it, but a task administrator 71 generates it.

This engine-performance information is sent to the decoder circuit 35 in the

selection information setting-out circuit 70, a decoder circuit 35 will generate clock selection information from the above-mentioned engine-performance information, and will output it to the selection information signal line 8, and the clock frequency of CPU1 will be eventually determined by this.

[0079]

Next, I will also take the difference with an example 1 into consideration, and will explain the order of

<A
HREF="http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000014"

TARGET="tjitemdrw">drawing 10

for the detail of the actuation which sets up the engine-performance information on a task administrator 71 later on.

<A
HREF="http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000014"

TARGET="tjitemdrw">Drawing 10

is a flow chart showing the actuation which sets up the engine-performance information on a task administrator.

[0080]

First, the processing which performs a task administrator 71 after this checks starting processing or the post process of a task (S900).

[0081]

If it is starting processing, predetermined creation-of-task processing will be performed like step S400 of

<A
HREF="http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000008"

TARGET="tjitemdrw">drawing 4
(S901).

Here, the various information corresponding to the task to start is registered to the task management table 15.

[0082]

On the contrary, if it is a post process, predetermined end-of-task processing will be performed like step S507 of

<A
HREF="http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000009"

TARGET="tjitemdrw">drawing 5
(S902).

Here, the various information corresponding to the task to end is deleted from the task management table 15.

[0083]

In the degree of steps S901 and S902, it is confirmed whether the task under starting exists (S903).

This check should just investigate the existence of the registration to the task management table 15.

[0084]

If there is registration, the engine-performance information on all the tasks registered will be read (S904).

Next, it asks for total of the read engine-performance information, the engine-performance information on CPU1 is generated (S905), and it is confirmed whether the value of the engine-performance information on CPU1 is over

" (S906).

If it has not exceeded, the engine-performance information on the CPU1 will be set to a register 80 (S907).

[0085]

On the contrary, if the value of the engine-performance information on CPU1 is over ", the value of the engine-performance information on CPU1 will be set to (S908) and a register 80 as " (maximum of the engine-performance information in this example) (S907).

[0086]

Moreover, in step S903, the task under starting exists, and if there is nothing, the value of the engine-performance information on CPU1 will be set to (S909) and a register 80 as " (minimum value of the engine-performance information in this example) (S907).

[0087]

Thus, if the function which generates the selection information given from engine-performance information to CPU1 at the time of starting of a task and termination is given to a task administrator 71, this existing brain is realizable with software.

Therefore, in this example, it differs in an example 1 and there is an advantage that the engine-performance information setting-out circuits 9 and 10 are unnecessary, and the components mark of hardware can be reduced.

[0088]

[Example 4] The fourth example concerning this invention is hereafter explained using

<A

[drawing 11](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000015)

and

<A

[drawing 12](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000016)

The description of this example is according to the power source currently used to control the engine performance of CPU1.

[0089]

In consideration of it, I will explain the circuitry of the clock control equipment of CPU and the configuration of a power circuit concerning this example using

<A

[drawing 11](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000015)

TARGET="tjitemdrw">

<A

[drawing 11](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000015)

is the block diagram showing the circuitry of the clock control equipment of CPU and the configuration of a power circuit concerning the fourth example of this invention.

[0090]

The selection information generation circuit 100 can generate the selection

information of a clock signal from engine-performance information.

The power-source detector 110 is a circuit for identifying a current supply means. Moreover, the power control circuit 111 controls whether a current supply means is used as the AC cell 113, or it is made a cell 114.

The selection circuitries 112 of a current supply means are which power source is adopted actually and a circuit to change.

Here, the electric power supply of AC power 113 is carried out from the outside of the information processor which used this CPU, and it assumes that a cell 114 is built in an information processor.

It is determined by the power control circuit 111 which either is used as a current supply means and used for these AC powers 113 and a cell 114.

With directions of the power control circuit 111, a selection circuitry 112 chooses AC power 113 or a cell 114, and supplies power with an information processor.

[0091]

Moreover, the power-source detector 110 enables CPU1 to carry out reading appearance of the information which the power control circuit 111 directed to the selection circuitry 112, and can detect which current supply means CPU1 is using now.

[0092]

It is determined by the data into which CPU1 is inputted through the address bus 2 and data bus 3 which set up information that the selection information generation circuit 100 chooses the engine-performance information on CPU1.

[0093]

Hereafter, I will explain the configuration and actuation of this selection information circuit 100 to a detail using

<A
HREF="http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000016"
TARGET="tjitemdrw">drawing 12

<A
HREF="http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000016"
TARGET="tjitemdrw">Drawing 12
is the block diagram showing the circuitry of the selection information circuit concerning the fourth example of this invention.

[0094]

4 bits of addresses, the data triplet, and the decoder circuit 102 are constituted for the 2 port RAM 101 as a triplet.

In addition, as for engine-performance level, this example also assumes eight steps from " ; " to " ; " ;

As for the 2 port RAM 101, information is set up from an address bus 2 and a data bus 3.

According to this set-up information, the 4-bit engine-performance information on the engine-performance information lines 11 and 12 turns into address information, and the data of the triplet by which reading appearance was carried out as that result are sent to a decoder circuit 102.

A decoder circuit 102 outputs 8-bit clock selection information, and chooses one of eight-kind clock signals from the sent data.

[0095]

Here, I will explain the information set to this 2 port RAM 101, and the example of an output using a following table 1 and a following table 2.

A table 1 is a table which contrasted setting out of the engine-performance information at the time of the normal operation mode which is using AC power 113.

[0096]

[A table 1]

<IMG
SRC="http://www4.ipd1.ncipi.go.jp/NSAPITMP2/web112/IMAGE/20070317231516200052.gif"
WIDTH="352" HEIGHT="337" ALT="ID=000003">

[0097]

A table 2 is a table which carried out setting-out contrast at the time of the power-saving mode of operation which is using the cell 114.

[0098]

[A table 2]

<IMG
SRC="http://www4.ipd1.ncipi.go.jp/NSAPITMP2/web112/IMAGE/20070317231516265771.gif"
WIDTH="352" HEIGHT="337" ALT="ID=000004">

[0099]

Setting out of the engine-performance information shown in a table 1 is an algorithm which is fundamentally based on the same algorithm as the first example, and adds the information on the engine-performance information lines 11 and 12. Therefore, the sum of the engine-performance information on the task currently performed is used as a clock level of actual CPU1.

[0100]

On the other hand, setting out of the engine-performance information shown in a table 2 is a thing in the case of being used when using it by cell actuation, and is the algorithm with which CPU1 does not operate by full power. With the stiffness algorithm, CPU1 does not use setting out of the clock levels 6 and 7 which operate at high speed, that is, when total of the engine-performance information lines 11 and 12 is six or more, it is devised so that it may be set as a clock level 5.

[0101]

Thus, when the cell 114 is used by controlling the clock frequency given to CPU1 by the fourth example according to the busy condition of a current supply means, although the processing engine performance falls, it has the effectiveness which can lengthen the operating time of the cell currently used.

[0102]

[Effect of the Invention]

In the operating environment of multitasking, according to the engine performance of a program of making it operating with the information processor, it can change to the clock of necessary minimum CPU with which are satisfied of the military requirement of operation automatically, power consumption can be saved, and, according to this invention, the clock control equipment and the clock control approach of CPU that actuation with a low power can be realized also in task activation can be offered at the time of activation of the processing program which can be managed with the low engine performance.

[0103]

Moreover, only when according to this invention judging whether the information processor operates by the AC power, or it operates by the cell and operating by the cell, the clock control equipment and the clock control approach of CPU which operate with a low power can be offered.

<HR>DESCRIPTION OF DRAWINGS
<HR>[Brief Description of the Drawings]

<A
HREF="http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000005"
TARGET="tjitemdrw">[Drawing 1]

It is the block diagram showing the circuitry of the clock control equipment of CPU concerning the first example of this invention.

<A>

[TARGET="tjitemdrw">\[Drawing 2\]](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000006)

It is the block diagram showing the circuitry of the engine-performance information setting-out circuit concerning the first example of this invention.

<A>

[TARGET="tjitemdrw">\[Drawing 3\]](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000007)

It is the block diagram showing the circuitry of the selection information generation circuit concerning the first example of this invention.

<A>

[TARGET="tjitemdrw">\[Drawing 4\]](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000008)

It is a flow chart showing actuation of the task administrator at the time of task starting.

<A>

[TARGET="tjitemdrw">\[Drawing 5\]](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000009)

It is a flow chart showing actuation of the task administrator at the time of the end of task.

<A>

[TARGET="tjitemdrw">\[Drawing 6\]](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000010)

It is the timing chart which showed the relation between each task status and engine-performance information in order of the passage of time.

<A>

[TARGET="tjitemdrw">\[Drawing 7\]](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000011)

It is the block diagram showing the circuitry of the clock control equipment of CPU concerning the second example of this invention.

<A>

[TARGET="tjitemdrw">\[Drawing 8\]](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000012)

It is the block diagram showing the circuitry of the clock control equipment of CPU concerning the third example of this invention.

<A>

[TARGET="tjitemdrw">\[Drawing 9\]](http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2FTokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3F7%3F8978%3B%2F%2F%26N0001%3D112%26N0552%3D9%26N0553%3D000013)

It is the block diagram showing the circuitry of the selection information setting-out circuit concerning the third example of this invention.

[Drawing 10]

It is a flow chart showing the actuation which sets up the engine-performance information on a task administrator.

[Drawing 11]

It is the block diagram showing the circuitry of the clock control equipment of CPU and the configuration of a power circuit concerning the fourth example of this invention.

[Drawing 12]

It is the block diagram showing the circuitry of the selection information circuit concerning the fourth example of this invention.

[Description of Notations]

1 [-- The clock line of CPU1, 5 / -- A clock selection circuitry, 6 / -- An oscillator circuit, 7 / -- A selection information generation circuit, 8 / -- 9 A selection information signal line, 10 / -- 11 An engine-performance information setting-out circuit, 12 / -- An engine-performance information line, 13 / -- Memory, 14 / -- A task administrator, 15 / -- Task management table.] -- CPU, 2 -- An address bus, 3 -- A data bus, 4
20 [-- AND circuit.] -- A task ID setting-out register, 21 -- An enabling setting-out register, 22 -- An engine-performance information setting-out register, 23
30 [-- Decoder circuit.] -- An adder circuit, 31 -- A carry signal line, 32-34 -- An OR circuit, 35
60 -- CPU, 61 -- A frequency divider, 62 -- Oscillator.
70 -- A selection information setting-out circuit, 71 -- Task administrator.
80 -- Register.
100 [-- A selection circuitry, 113 / -- An AC power, 114 / -- Cell.] -- A selection information generation circuit, 110 -- A power-source detector, 111 -- A power control circuit, 112
101 -- The 2 port RAM, 102 -- Decoder circuit.

<HR></BODY></HTML>

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-76874

(43) 公開日 平成8年(1996)3月22日

| | | | | |
|--|---------------|-------------------------|-----|-----------------------------|
| (51) Int.Cl. ⁶
G 06 F 1/04
1/06
9/46 | 識別記号
301 C | 序内整理番号
340 Z 7737-5B | F I | 技術表示箇所
G 06 F 1/04 310 A |
|--|---------------|-------------------------|-----|-----------------------------|

審査請求 未請求 請求項の数7 O.L. (全15頁)

(21) 出願番号 特願平6-212448
(22) 出願日 平成6年(1994)9月6日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 西岡 清和
神奈川県川崎市麻生区王禅寺1099 株式会
社日立製作所システム開発研究所内
(72) 発明者 田中 和彦
神奈川県川崎市麻生区王禅寺1099 株式会
社日立製作所システム開発研究所内
(72) 発明者 野口 孝樹
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(74) 代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

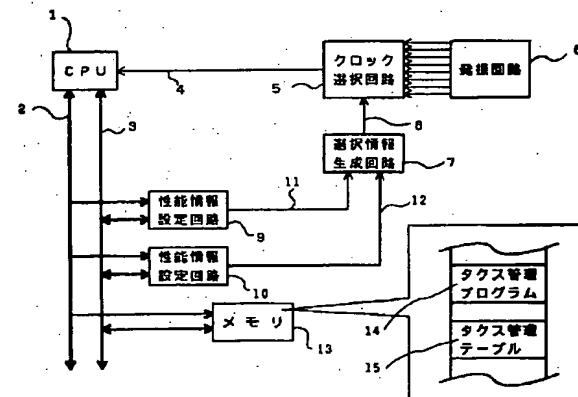
(54) 【発明の名称】 中央処理装置のクロック制御装置およびクロック制御方法

(57) 【要約】

【目的】マルチタスクの動作環境において、走行させるプログラムの要求性能を満足する範囲において、必要最低限のCPUの動作クロックに自動的に切り替えて消費電力を節約し、低消費電力で作動するようにCPUのクロックを制御する。

【構成】タスク毎に必要とする中央処理装置1の性能情報を設けて、前記タスク毎の中央処理装置1の性能情報を設定する一つ以上の性能情報設定回路9, 10と、起動中のタスクが必要とする必要最低限の性能で動作するよう前に記中央処理装置1のクロック周波数を決定する選択情報生成回路7と、複数のクロック信号を発生する発振回路6と、そのクロック信号の中から一つを選択して前記中央処理装置1へ与えるクロック選択回路5を設ける。

図 1



【特許請求の範囲】

【請求項1】 複数のタスクを起動し切り換えて実行できるマルチタスクのオペレーティングシステムとプログラムとを格納するメモリと、前記マルチタスクのオペレーティングシステム環境下で、前記プログラムを実行し、かつ、与えられるクロック周波数に基づいて動作スピードが決定される中央処理装置とを備える情報処理装置の中央処理装置のクロック制御装置において、前記マルチタスクのオペレーティングシステム環境下で起動されるタスク毎に必要とする中央処理装置の性能情報を設けて、前記タスク毎の中央処理装置の性能情報を設定する一つ以上の性能情報設定回路と、前記性能情報設定回路に設定した一つ以上の性能情報を用いて、起動中のタスクが必要とする必要最低限の性能で動作するように前記中央処理装置のクロック周波数を決定する様に選択情報を生成する選択情報生成回路と、複数のクロック信号を発生する発振回路と、前記選択情報に応じて、前記複数のクロック信号の中から一つを選択して前記中央処理装置へ与えるクロック選択回路を設けたことを特徴とする中央処理装置のクロック制御装置。

【請求項2】 前記中央処理装置と、前記一つ以上の性能情報設定回路と、選択情報生成回路と、クロック選択回路を1チップ内に集積することを特徴とする請求項1記載の中央処理装置のクロック制御装置。

【請求項3】 複数のタスクを起動し切り換えて実行できるマルチタスクのオペレーティングシステムとプログラムとを格納するメモリと、前記マルチタスクのオペレーティングシステム環境下で、前記プログラムを実行し、かつ、与えられるクロック周波数に基づいて動作スピードが決定される中央処理装置とを備える情報処理装置の中央処理装置のクロック制御方法において、前記マルチタスクのオペレーティングシステム環境下で起動されるタスク毎に必要とする中央処理装置の性能情報を設けて、

一つ以上の性能情報設定回路と、選択情報生成回路と、複数のクロック信号を発生する発振回路と、クロック選択回路とを有し、前記一つ以上の性能情報設定回路が、前記タスク毎の中央処理装置の性能情報を設定し、

前記選択情報生成回路が、前記性能情報設定回路に設定した一つ以上の性能情報を用いて、起動中のタスクが必要とする必要最低限の性能で動作するように前記中央処理装置のクロック周波数を決定する様に選択情報を生成し、

前記クロック選択回路が、前記選択情報に応じて、前記

発振機から発生した複数のクロック信号の中から一つを選択して前記中央処理装置へ与えることを特徴とする中央処理装置のクロック制御方法。

【請求項4】 前記マルチタスクのオペレーティングシステムが、前記各タスクが必要とする性能情報を各タスク単位で管理し、

タスクを起動する際に、前記性能情報設定回路へ起動するタスクの性能情報を設定するステップを有することと、

さらに、タスクを終了する際に、前記性能情報設定回路に設定してある該当するタスクの性能情報を無効にするステップを有することとを特徴とする請求項3記載の中央処理装置のクロック制御方法。

【請求項5】 前記タスクを起動する際に、そのタスクの性能情報をタスク管理テーブルへ登録するステップと、起動中の全タスクの性能情報を読み出すステップと、前記全タスクの性能情報を用いて、必要最低限の中央処理装置の性能情報を算出するステップと、前記中央処理装置の性能情報を前記選択情報生成回路へ設定するステップを有すること、

さらに、タスクを終了する際に、そのタスクの性能情報をタスク管理テーブルから削除するステップと、起動中の全タスクの性能情報を読み出すステップと、前記全タスクの性能情報を用いて必要最低限の中央処理装置の性能情報を算出するステップと、前記中央処理装置の性能情報を前記選択情報生成回路へ設定するステップを有することとを特徴とする請求項4記載の中央処理装置のクロック制御方法。

【請求項6】 前記プログラムに従って、前記中央処理装置が、前記性能情報設定回路から得る一つ以上の性能情報から、前記中央処理装置のクロック選択情報を生成することを特徴とする請求項1および請求項2記載のいずれかの中央処理装置のクロック制御装置。

【請求項7】 前記情報処理装置が、電源供給手段として、電池とAC電源のどちらでも使用でき、電源供給手段の識別手段を設けることで、電池を使用しているときと、AC電源を使用しているときを識別し、その識別した結果によって、前記中央処理装置が、前記性能情報設定回路から得る一つ以上の性能情報から、前記中央処理装置のクロック選択情報を生成することを特徴とする請求項6記載の中央処理装置のクロック制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、中央処理装置のクロック制御装置およびクロック制御方法に係り、パーソナルコンピュータ（以下、単に「パソコン」という）や小形情報端末に代表される情報処理装置に使用される中央処理装置（Central Processing Unit、以下、「CPU」と略記する）の省電力化を達成するのに好適な中央処理

装置のクロック制御装置およびクロック制御方法に関する。

【0002】

【従来の技術】近年、電力需要の増加によって、社会全般にわたって電力の消費量が問題とされてきている。一方、このような状況下で、小形コンピュータ市場が急速に拡大し、パソコンの世界市場における設置台数は30万台を越えている。また、電池で使用する携帯型情報機器の要求もたまりつつあり、そのような機器の低電力化も重要な課題になりつつある。

【0003】したがって、特に、このようなパソコンや携帯型情報機器などの情報処理装置の中枢であるCPUの消費電力低減が注目されており、従来、多くの手法が試みられている。このようなCPUの消費電力低減手法の有力なものひとつとして、CPUのクロックを制御する手法がある。これは、特定の条件下において、低速なクロックでCPUを動作させることにより、CPUの消費電力の抑制を達成するものである。ここで、この特定の条件は、電源電圧が任意のレベルまで低下したことや、CPUに対する割り込みが発生したことなどがある。

【0004】さて、このようなCPUの消費電力低減手法に関して、特に、情報端末など通信機能を実現する上で要求が強いマルチタスク機能を有する情報処理装置に適用する発明としては、特開昭62-150416号公報に記載の「低消費電力状態への移行方式」がある。この発明は、複数のタスクを並行動作させるオペレーティングシステム(Operating System、以下、「OS」と略記する)を搭載したシステムにおいて、実行すべきタスクの有無を検出する手段と、コンピュータシステムを低消費電力状態にする手段を設け、実行すべきタスクが無い場合にコンピュータシステムを低消費電力状態にする移行方式である。

【0005】

【発明が解決しようとする課題】上記従来技術は、コンピュータシステムを低消費電力状態に移行する方式について述べている。しかしながら、上記従来技術は、実行すべきタスクが存在するかどうかを判定し、実行すべきタスクがない場合のみ、低消費電力状態で動作するものであり、タスク実行中に低消費電力状態で動作しないため、その適用範囲が狭いという問題点があった。

【0006】また、近年は、多大な演算性能を要求するマルチメディア(動画、音声など)がシステムに取り込まれてくることが多くなっている。例えば、ワープロや表計算のソフトウェアと、テレビ会議のソフトウェアを一つのパソコンで動作させる場合が考えられる。ここで、前者のワープロや表計算のソフトウェアは、CPUが数10MIPS(百万命令/毎秒、Million Instruction Per Second)の性能ならば十分使いものになるが、後者テレビ会議のソフトウェアは動画及び音声の圧縮伸

張処理に加えて通信機能も必要になり、数100MIPSの性能を必要とする。一方、CPUの性能は、年率約1.6倍程度の急速な高性能化傾向にあり、数年で数100MIPSの性能に達するものと予測できる。しかしながら、数10MIPSと数100MIPSの動作状態における消費電力の差は非常に大きいので、数100MIPSの性能を持つCPUに数10MIPSのソフトウェアを動作させることは電力の無駄な消費である。

【0007】したがって、使用するソフトウェアに応じて性能を自動的に切り換える要請があったが、従来技術では、プログラムの動作スピードに応じて、CPUの性能を切り替えるという考え方はされていないという問題点があった。

【0008】本発明は、上記従来技術の問題点を解決するためになされたもので、その目的は、マルチタスクの動作環境において、その情報処理装置で動作させるプログラムの性能に応じて、低い性能で済む処理プログラムの実行時には、その要求性能を満足する必要最低限のCPUの動作クロックに自動的に切り替えて消費電力を節約して、タスク実行中でも低消費電力での作動を実現しうるCPUのクロック制御装置およびクロック制御方法を提供することである。

【0009】また、本発明の他の目的は、その情報処理装置がAC電源で作動するか電池で作動するかを判定し、電池で作動するときにのみ、低消費電力で作動するCPUのクロック制御装置およびクロック制御方法を提供することである。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明の中央処理装置のクロック制御装置に係る発明の構成は、複数のタスクを起動し切り換えて実行できるマルチタスクのオペレーティングシステムとプログラムとを格納するメモリと、前記マルチタスクのオペレーティングシステム環境下で、前記プログラムを実行し、かつ、与えられるクロック周波数に基づいて動作スピードが決定される中央処理装置とを備える情報処理装置の中央処理装置のクロック制御装置において、前記マルチタスクのオペレーティングシステム環境下で起動されるタスク毎に必要とする中央処理装置の性能情報を設けて、前記タスク毎の中央処理装置の性能情報を設定する一つ以上の性能情報設定回路と、前記性能情報設定回路に設定した一つ以上の性能情報を用いて、起動中のタスクが必要とする必要最低限の性能で動作するよう前記中央処理装置のクロック周波数を決定する様に選択情報を生成する選択情報生成回路と、複数のクロック信号を発生する発振回路と、前記選択情報に応じて、前記複数のクロック信号の中から一つを選択して前記中央処理装置へ与えるクロック選択回路を設けたようにしたものである。

【0011】より詳しくは、上記中央処理装置のクロッ

ク制御装置において、前記中央処理装置と、前記一つ以上の性能情報設定回路と、選択情報生成回路と、クロック選択回路を1チップ内に集積するようにしたものである。

【0012】上記目的を達成するために、本発明の中央処理装置のクロック制御方法に係る発明の構成は、複数のタスクを起動し切り換えて実行できるマルチタスクのオペレーティングシステムとプログラムとを格納するメモリと、前記マルチタスクのオペレーティングシステム環境下で、前記プログラムを実行し、かつ、与えられるクロック周波数に基づいて動作スピードが決定される中央処理装置とを備える情報処理装置の中央処理装置のクロック制御方法において、前記マルチタスクのオペレーティングシステム環境下で起動されるタスク毎に必要とする中央処理装置の性能情報を設けて、一つ以上の性能情報設定回路と、選択情報生成回路と、複数のクロック信号を発生する発振回路と、クロック選択回路とを有し、前記一つ以上の性能情報設定回路が、前記タスク毎の中央処理装置の性能情報を設定し、前記選択情報生成回路が、前記性能情報設定回路に設定した一つ以上の性能情報を用いて、起動中のタスクが必要とする必要最低限の性能で動作するように前記中央処理装置のクロック周波数を決定する様に選択情報を生成し、前記クロック選択回路が、前記選択情報に応じて、前記発振機から発生した複数のクロック信号の中から一つを選択して前記中央処理装置へ与えるようにしたものである。

【0013】より詳しくは、上記中央処理装置のクロック制御方法において、前記マルチタスクのオペレーティングシステムが、前記各タスクが必要とする性能情報を各タスク単位で管理し、タスクを起動する際に、前記性能情報設定回路へ起動するタスクの性能情報を設定するステップを有することと、さらに、タスクを終了する際に、前記性能情報設定回路に設定してある該当するタスクの性能情報を無効にするステップを有するようにしたものである。

【0014】さらに詳しくは、上記中央処理装置のクロック制御方法において、前記タスクを起動する際に、そのタスクの性能情報をタスク管理テーブルへ登録するステップと、起動中の全タスクの性能情報を読み出すステップと、前記全タスクの性能情報を用いて、必要最低限の中央処理装置の性能情報を算出するステップと、前記中央処理装置の性能情報を前記選択情報生成回路へ設定するステップを有することと、さらに、タスクを終了する際に、そのタスクの性能情報をタスク管理テーブルから削除するステップと、起動中の全タスクの性能情報を読み出すステップと、前記全タスクの性能情報を用いて必要最低限の中央処理装置の性能情報を算出するステップと、前記中央処理装置の性能情報を前記選択情報生成回路へ設定するステップを有するようにしたものである。

【0015】また、上記目的を達成するために、本発明

の中央処理装置のクロック制御装置に係る発明の別の構成は、上記中央処理装置のクロック制御装置において、前記プログラムに従って、前記中央処理装置が、前記性能情報設定回路から得る一つ以上の性能情報から、前記中央処理装置のクロック選択情報を生成するようにしたものである。

【0016】さらに別の構成は、上記上記中央処理装置のクロック制御装置において、前記情報処理装置が、電源供給手段として、電池とAC電源のどちらでも使用でき、電源供給手段の識別手段を設けることで、電池を使用しているときと、AC電源を使用しているときを識別し、その識別した結果によって、前記中央処理装置が、前記性能情報設定回路から得る一つ以上の性能情報から、前記中央処理装置のクロック選択情報を生成するようにしたものである。

【0017】

【作用】本発明によれば、個々のプログラムの固有の性能情報を有し、マルチタスク化においてタスクの起動および終了時に、動作しているプログラムの性能情報によって選択情報生成回路で必要なCPUの性能を決定し、CPUのクロックを制御する。そのため、複数のプログラムが並列に実行している場合でも、各プログラムの要求性能を考慮してCPUの動作クロックを決定しているので、必要かつ最低の電力で動作可能になる。

【0018】また、電源検出回路によって、その情報処理装置の電源がAC電源か電池かを判定し、電源が電池のときには選択情報生成回路で、CPUのクロックを低い状態で作動させることにしておくことにより、電池で作動するときにのみ、低消費電力で作動することになる。

【0019】

【実施例】以下、本発明に係る各実施例を、図1ないし図12を用いて説明する。

【実施例1】以下、本発明に係る第一の実施例を、図1ないし図6を用いて説明する。先ず、図1を用いて本発明に係るCPUのクロック制御装置の回路構成について説明しよう。図1は、本発明の第一の実施例に係るCPUのクロック制御装置の回路構成を示すブロック図である。

【0020】図1において、発振回路6は、8種類の周波数のクロックを生成することができる。選択情報回路7は、クロック選択回路5を制御するための回路である。性能情報設定回路9、10は、タスクの負荷情報を保持するための回路である。メモリ13には、CPU1が使用するプログラムやデータが格納される。そして、図に示される様に、タスク管理プログラム14およびタスク管理テーブル15は、このメモリ13に格納されるものである。

【0021】CPU1へは、5~40MIPSまでMIPS間隔で8レベルの動作状態を指定できるものとす

る。発振回路6は、上記各レベルに対応する8種類の周波数のクロックを出力する。

【0022】また、本発明に係る情報処理装置は、マルチタスクのOS(Operating System)が起動され、そのOS上で各種プログラムを実行することを前提としている。OSは、タスクの起動と終了を制御するタスク管理プログラム14を含んでいる。さらに、タスク管理プログラム14の制御に必要な各種情報がタスク管理テーブル15に含まれている。具体的には、各タスクごとに、各タスクをユニークに識別するタスクID、必要なメモリ容量などに加えて、本発明に特徴的な性能情報とペンドティングフラグが登録される項目として存在している。

【0023】性能情報は、各タスクが実行するプログラムの内容に応じて指定されるCPUの負荷となる能力である。ペンドティングフラグは、あるタスクの性能情報が性能情報設定回路に設定するための待ち状態になっていることを示すフラグである。

【0024】ペンドティングフラグの役割は、後にフローを用いて本発明の動作を説明するときに明らかになるので、先に、性能情報について説明する。性能情報は、上で述べたように、タスクが実行するプログラムの内容に応じて指定する。例えば、ワードプロセッサに関するプログラムの場合で、編集プログラムは、10MIPS、印刷プログラムは、5MIPSのCPU性能が必要であるとする。

【0025】このような状況において、タスク管理プログラム14が、編集プログラムのタスクを起動する際に、性能情報設定回路9へ10MIPSの性能情報を設定すると、選択情報回路7は、10MIPSに相当するCPU1の動作周波数に対応する選択情報を生成する。この選択情報にしたがって、クロック選択回路5は該当するクロックを選択して、クロック線4を介して、CPU1へ供給する。これにより、CPU1は10MIPSで動作する。これが、本発明の基本的な仕組みである。

【0026】続いて、ワードプロセッサで編集した文書を印刷する際には、タスク管理プログラム14が印刷プログラムのタスクを起動する。このとき、性能情報設定回路10へ5MIPSの性能情報を設定する。選択情報回路7は、性能情報設定回路9に設定した10MIPSの性能情報と性能情報設定回路10に設定した性能情報から、15MIPSに相当するCPU1の動作周波数に対応する選択情報を生成する。この選択情報にしたがって、クロック選択回路5は該当するクロックを選択して、クロック線4を介して、CPU1へ供給する。これにより、CPU1は10MIPSから15MIPSへ、より高速な動作モードへ移行する。

【0027】性能情報は、時間ごとの処理能力であらわされるので、両タスクが並列実行されるばあいには、両タスクの加算になることに留意しよう。

【0028】本発明によれば、このように、ワードプロ

セッサで編集中に印刷を実行した場合でも、負荷に見合ったようにCPU1の性能を向上させて、印刷しながらでも編集のための十分な操作環境を得ることができるのである。

【0029】次に、図2を用いて性能情報設定回路の詳細な回路構成について説明しよう。図2は、本発明の第一の実施例に係る性能情報設定回路の回路構成を示すブロック図である。

【0030】上述したように、性能情報設定回路9は、タスク管理プログラム14によって起動される各タスクごとの性能情報を保持するための回路である。タスク起動時に、性能情報が性能情報設定レジスタ22へ設定されると共に、そのタスクのタスクIDがタスクID設定レジスタ20へ、さらに、タスクID設定レジスタ20と性能情報設定レジスタ22の設定が有効であることを示すイネーブル情報がイネーブル設定レジスタ21へ設定される。イネーブル設定レジスタ21は、論理値

「1」の時に有効状態、論理値「0」の時に無効状態を示す。したがって、論理積回路23は、有効状態の場合のみ、性能情報設定レジスタ22の情報を性能情報線11へ出力する。逆に、無効状態の場合、論理値「0」が性能情報線11へ出力される。

【0031】ここで、イネーブル設定レジスタ21が、有効状態のときが、この性能情報設定回路に設定された値が有効であることを示し、逆の無効状態が、この性能情報設定回路に設定された値が無効であり、いわば、値が設定されていないことを示している。

【0032】また、タスクID設定レジスタ20、イネーブル設定レジスタ21および性能情報設定レジスタ22の設定情報は、アドレスバス2およびデータバス3を介して、CPU1が読みだし可能であり、タスク管理プログラム14が性能情報設定回路9の設定情報を知ることができる。

【0033】次に、図3を用いて選択情報生成回路の詳細な回路構成について説明しよう。図3は、本発明の第一の実施例に係る選択情報生成回路の回路構成を示すブロック図である。

【0034】本実施例は、CPU1へ8レベルの動作状態を指定できることを想起しよう。したがって、この選択情報生成回路7は、3ビット情報を扱うものになる。

【0035】図3において、加算回路30は、3ビットの情報を加算する。キャリー信号線31は、加算結果が桁上がりした時に論理値「1」を示す。デコーダ回路35は、3ビットである。

【0036】加算回路30は、性能情報線11の性能情報(0~7)と性能情報線12の性能情報(0~7)の加算結果を、論理和回路32~論理和回路34へ出力する。加算結果が7以下の場合、キャリー信号線31が論理値「0」となり、論理和回路32~論理和回路34は、加算回路30の加算結果をそのままデコーダ回路35

5へ出力する。

【0037】一方、加算回路30の加算結果が8以上の場合、加算結果7がデコーダ回路35へ出力される。要するに、キャリー信号線31が論理値「1」となり、論理和回路32～論理和回路34は全て論理値「1」をデコーダ回路35へ出力する。このような場合分けは、クロック選択回路5が選択できるクロックが8種類に限られているために、性能情報の最高のレベルを7に押さえるため必要となるものである。例えば、クロック選択回路5が16種類のクロックを選択可能ならば、この選択情報回路の構成も異なったものになる。

【0038】このように論理和回路32～論理和回路34が出力する性能情報を受けて、デコーダ回路35は、該当するクロック信号を選択するための情報を選択情報信号線8へ出力する。

【0039】以上説明したように、選択情報回路7は、性能情報線11および12の情報から生成したクロック選択情報を、選択情報信号線8へ出力し、クロック選択回路5に適切なクロックを選択させるものである。

【0040】次に、図4および図5を用いてタスク管理プログラム14の詳細を説明しよう。図4は、タスク起動時のタスク管理プログラムの動作をあらわすフローチャートである。図5は、タスク終了時のタスク管理プログラムの動作をあらわすフローチャートである。

【0041】先ず、図4を用いてタスク管理プログラム14がタスクを起動する場合の動作を、図の順を追って説明しよう。最初に、通常のマルチタスクOSがおこなう所定のタスク起動処理がおこなわれる(S400)。ここでは、タスク管理テーブル15の内容が更新される。すなわち、タスク管理テーブル15に、新しく起動するタスクのタスクID、必要なメモリ容量、性能情報などが登録される。

【0042】次に、性能情報設定回路9、10に設定されているイネーブル情報を読み込み(S401)、その情報が有効か無効かをチェックする(S402)。これは、使われていない性能情報設定回路があるか調べるものである。

【0043】どちらかのイネーブル情報が無効状態ならば、該当する方の性能情報設定回路(9、10のどちらか)へ、起動するタスクのタスクID、イネーブル有効情報及び性能情報を設定する(S403)。これにより、新しいタスクが起動された環境下において最適なクロック周波数でCPU1が動作することになり、タスク起動処理を終了する。

【0044】一方、S402のステップにおいて、イネーブルが全て有効状態ならば、性能情報設定回路は、すべて他のタスクに使用されている状態である。この場合には、新しく起動したタスクによって、これらの性能情報設定回路9、10の性能情報を更新するべきかどうかを調べる必要がある。

【0045】この場合は、これらの性能情報設定回路9、10の性能情報を読み込む(S404)。

【0046】次に、読み込んだ各々の性能情報と、起動するタスクの性能情報を比較する(S405)。その結果、起動するタスクの性能情報が最も低い値であるならば、既に起動されているタスクによって、十分にCPUの性能が上昇している状態である。よってこの場合は、性能情報設定回路9、10の更新せずに、タスク管理テーブル15中の起動するタスクのペンドイングフラグを有効状態にして(S407)、終了する。ここで、ペンドイングフラグは、タスクとしては、起動したものとの、そのことが性能情報設定回路9、10には、影響を与えていないことを示している。このペンドイングフラグは、後のタスク終了時に参照される。

【0047】一方、起動するタスクの性能情報が最も低い値でないならば、この起動されたタスクに対応して、CPUの性能を上昇させなければならない。したがって、この場合には、最も低い値が設定されている方の性能情報設定回路(9、10のどちらか)へ、起動するタスクのタスクID、イネーブル有効情報及び性能情報を設定する(S406)。そして、その書換えた性能情報設定回路のプロセスIDに対応するプロセスのペンドイングフラグを有効にして、終了する。これは、書換えにより、既に起動されているタスクが、性能情報設定回路の性能に反映されなくなったため、後で復帰させるためである。

【0048】これにより、新しいタスクが起動された環境下において最適なクロック周波数でCPU1が動作することになり、タスク起動処理を終了する。

【0049】以上説明したように、本実施例は、2個の性能情報設定回路9と10で構成しているが、この個数を増やす場合にも対応可能であり、個数を増やすほど細かなクロック制御が可能になり、省電力化の効果を得ることができる。

【0050】先ず、図5を用いてタスク管理プログラム14がタスクを終了させる場合の動作を、図の順を追って説明しよう。最初に、性能情報設定回路9および10に設定されているタスクID情報を読み込み(S501)、その情報が終了しようとするタスクのタスクIDと一致しているかをチェックする(S502)。これは、終了しようとするタスクの性能が性能情報設定回路に反映されているか調べるためのものである。

【0051】どちらかの性能情報設定回路に格納されたタスクIDと終了しようとするタスクのタスクID情報が一致するならば、該当する方の性能情報設定回路(9、10のどちらか)へ、イネーブル無効情報を設定する(S503)。これは、性能情報設定回路の情報を消去したことに該当する。

【0052】次に、タスク管理テーブル15中にペンドイングフラグが有効状態となっているタスクが存在する

かをチェックする(S504)。ペンドィングフラグが有効状態となっているということは、そのタスクが起動されており、性能情報設定回路9, 10に性能を設定するために待ち状態になっていると考えることができる。

したがって、ペンドィングフラグが有効状態となっているタスクが存在するならば、そのタスクのタスクID、イネーブル有効情報及び性能情報を、ステップS503において該当した性能情報設定回路(9, 10のどちらか)へ設定する(S505)。そして、設定したタスクのペンドィングフラグを無効状態にする(S506)。

【0053】これにより、タスクが終了した環境下において最適なクロック周波数でCPU1が動作することになる。

【0054】最後に、タスク管理テーブル15から終了するタスクに関する情報を削除するなど、通常のマルチタスクOSが行う所定のタスク終了処理がおこなわれ(S507)、タスク終了処理を終了する。

【0055】一方、ステップS502において、どちらかのタスクID情報も一致しないならば、終了するタスクはCPU1の動作周波数決定に影響していないことになる。したがって、ステップS503～S506を飛び越して、ステップS507を実行し、タスク終了処理を終了する。

【0056】同様に、ステップS504において、ペンドィングフラグが有効状態のタスクが存在しないならば、CPU1の動作周波数決定に影響するべきタスクがないことになる。したがって、ステップS505、S506を飛び越して、ステップS507を実行し、タスク終了処理を終了する。

【0057】最後に、図6を用いて以上説明した実施例の具体的な動作の例を経時順に説明してみよう。図6は、各タスクの状態と性能情報の関係を経時順に示したタイミングチャートである。

【0058】より詳しくは、図6は、各タスクの起動と終了を示すイベントと、起動されたタスクの状態(実行状態と待機状態間の遷移)と、性能情報設定回路9および性能情報設定回路10に設定される性能情報と、CPU1の実動作に相当する性能情報を示したものである。この図における時間軸の単位として、各イベントを起点とした6つのタイムスロット(0～5)を用いることにした。

【0059】図6の様に、タスクA、タスクB、タスクCが起動されるのであるが、これらの各自に対応する性能情報は、「2」、「4」、「5」とすることにしよう。

【0060】先ず、タイムスロット0では、OSだけが動作しており、実行中のタスクは存在しない。このとき、性能情報設定回路9および性能情報設定回路10にはイネーブルが無効状態に設定されており、CPU1

は、最低性能「0」で動作している。

【0061】次に、タスクAが起動されたタイムスロット1では、タスク管理プログラム14が性能情報設定回路9へイネーブル有効情報と性能情報「2」を設定する。これにより、CPU1は性能情報「2」に相当する性能で動作することになる。

【0062】次に、タスクBが起動されたタイムスロット2では、先ず、タスクBが実行状態となり、タスクAは実行状態から待機状態へ遷移する。さらに、タスク管理プログラム14が性能情報設定回路10へイネーブル有効情報と性能情報「4」を設定する。これにより、性能情報設定回路9に設定された性能情報「2」と性能情報設定回路10に設定された性能情報「4」が、選択情報生成回路7で加算されて、CPU1は性能情報「6」に相当する性能で動作する。この動作環境下で、タスクAとタスクBは、背反的に実行状態と待機状態の間を遷移する。

【0063】次に、タスクCが起動されたタイムスロット3では、先ず、タスクCが実行状態となり、タスクAは実行状態から待機状態へ遷移する。起動されるタスクCの性能情報は、「5」なので、タスク管理プログラム14は、性能情報設定回路9および性能情報設定回路10へ設定されている性能情報を比較し、低い性能情報が設定されている方の性能情報設定回路9へ、性能情報「5」を設定する。これにより、本来性能情報は「9」となるが、本実施例では、性能情報の最大レベルが「7」なので、CPU1は性能情報「7」に相当する性能で動作する。

【0064】また、タスク管理プログラム14は、タスク管理テーブル15中のタスクAのペンドィングフラグを有効状態とする。このような動作環境下で、タスクA、タスクB、タスクCは、背反的に実行状態と待機状態の間を遷移する。

【0065】次に、タスクBが終了されたタイムスロット4では、先ず、タスクCが実行状態となり、タスクBは終了する。さらに、タスク管理プログラム14は、タスクBの性能情報「4」の代わりにペンドィングフラグが有効状態となっているタスクAの性能情報「2」を性能情報設定回路10へ設定する。すなわち、追い出されていたタスクAの性能情報を復帰させるわけである。これにより、CPU1は性能情報「7」に相当する性能で動作する。この動作環境下で、タスクAとタスクCは、背反的に実行状態と待機状態の間を遷移する。

【0066】最後に、タスクAが終了されたタイムスロット5では、先ず、タスクCが実行状態となり、タスクAは終了する。さらに、タスク管理プログラム14は、終了するタスクAの性能情報「2」を無効にするため性能情報設定回路10へイネーブル無効情報を設定する。これにより、性能情報設定回路9だけが有効となり、CPU1は性能情報「5」に相当する性能で動作する。

【0067】以上説明した第一の実施例では、性能情報設定回路が2個の構成であるが、これに限定したわけではなく、性能情報設定回路の数を増やせば、CPU1の動作速度を、さらに、きめ細かく制御できる。同様に、CPU1のクロック周波数も8種類に限定したわけではなく、周波数の選択しを増やせば、さらにきめ細かな省電力制御が可能になる。

【0068】【実施例2】以下、本発明に係る第二の実施例を、図7を用いて説明する。図7は、本発明の第二の実施例に係るCPUのクロック制御装置の回路構成を示すブロック図である。

【0069】この第二の実施例は、基本的な構成と動作およびその思想は、同様のものによるものであるが、その特徴は、回路構成を集積して1チップ化するところにある。

【0070】発振器62は、クロック信号を発生し、分周回路61は、周波数が異なる8種類のクロック信号を発生する。また、低電力対応CPU60は、CPU1と、性能情報設定回路9, 10と、選択情報生成回路7と、クロック選択回路5と、分周回路61とを1チップに集積化したプロセッサである。

【0071】この実施例では、性能情報設定回路9などの回路部が低電力対応CPU60に集積化されておりため、回路構成全体の部品点数を削減できるという利点がある。

【0072】また、低電力対応CPU60が分周回路61を内蔵するため、発振器62からのクロック信号線は1本で済むことになる。低電力対応CPU60に内蔵する回路は、第一の実施例で説明したように、比較的簡単なハードウェアで構成できるため、回路規模が比較的小さく、ピン数もCPU1と比較して、それほど増加することはないので、十分に集積回路として構成することは可能である。

【0073】この第二の実施例の効果としては、回路を集積化することによる小形化、低電力化だけでなく、ハードウェアの実装設計が容易になることもある。すなわち、クロック選択回路5をチップ内部に取り込んだことで、CPUクロックの高速化に伴い問題となるクロック信号の反射や干渉など実装上の技術課題が緩和されるのである。

【0074】【実施例3】以下、本発明に係る第三の実施例を、図8ないし図10を用いて説明する。図8は、本発明の第三の実施例に係るCPUのクロック制御装置の回路構成を示すブロック図である。

【0075】この第三の実施例の特徴は、第一の実施例において、性能情報設定回路9, 10と選択情報設定回路7が生成する選択情報を、図8に示されるタスク管理プログラム71に従って、選択情報設定回路70が生成することにある。

【0076】ここで、選択情報設定回路70は、クロック選択回路5へ与える選択情報を設定する回路であり、タスク管理プログラム71は、選択情報を生成する機能を持つプログラムである。

【0077】以下、この選択情報設定回路70の機能を、図9を用いて詳細に説明しよう。図9は、本発明の第三の実施例に係る選択情報設定回路の回路構成を示すブロック図である。

【0078】本実施例でも、取扱える性能レベルは、8段階を想定しており、したがって、レジスタ80は、3ビットである。選択情報設定回路70においては、アドレスバス2とデータバス3を介して、CPU1が3ビットの性能情報を設定するとともに、設定した性能情報を読み出すことができる。設定する性能情報は、実施例1とは異なり、性能情報設定回路が生成するのではなく、タスク管理プログラム71によって生成する。この性能情報は、選択情報設定回路70の中のデコーダ回路35へ送られ、デコーダ回路35は、上記性能情報からクロック選択情報を生成して、選択情報信号線8へ出力し、これによって、最終的にCPU1の動作周波数が決められることになる。

【0079】次に、実施例1との相違も考慮に入れて、タスク管理プログラム71の性能情報を設定する動作の詳細を、図10の順を追って説明しよう。図10は、タスク管理プログラムの性能情報を設定する動作をあらわすフローチャートである。

【0080】先ず、タスク管理プログラム71は、これからおこなう処理がタスクの起動処理か終了処理かをチェックする(S900)。

【0081】起動処理ならば、図4のステップS400と同様に、所定のタスク生成処理を行う(S901)。ここでは、起動するタスクに対応する各種情報をタスク管理テーブル15へ登録する。

【0082】逆に、終了処理ならば、図5のステップS507と同様に、所定のタスク終了処理を行う(S902)。ここでは、終了するタスクに対応する各種情報をタスク管理テーブル15から削除する。

【0083】ステップS901およびS902の次には、起動中のタスクが存在するかをチェックする(S903)。このチェックは、タスク管理テーブル15への登録の有無を調べれば良い。

【0084】登録があるならば、登録されている全タスクの性能情報を読み出す(S904)。次に、読みだした性能情報の総和を求めて、CPU1の性能情報を生成し(S905)、CPU1の性能情報の値が「8」を越えているかをチェックする(S906)。越えてないならば、そのCPU1の性能情報をレジスタ80へ設定する(S907)。

【0085】逆に、CPU1の性能情報の値が「8」を越えているならば、CPU1の性能情報の値を「7」(本実施例における性能情報の最大値)として(S908)

8)、レジスタ80へ設定する(S907)。

【0086】また、ステップS903において、起動中のタスクが存在しないならば、CPU1の性能情報の値を「0」(本実施例における性能情報の最小値)として(S909)、レジスタ80へ設定する(S907)。

【0087】このように、タスクの起動時および終了時において、性能情報からCPU1へ与える選択情報を生成する機能をタスク管理プログラム71に持たせれば、この既脳をソフトウェアで実現できる。したがって、本実施例においては、実施例1とは異なり性能情報設定回路9, 10が不要であり、ハードウェアの部品点数を削減できるという利点がある。

【0088】【実施例4】以下、本発明に係る第四の実施例を、図11および図12を用いて説明する。本実施例の特徴は、使用している電源に従って、CPU1の性能を制御することにある。

【0089】それを考慮して、図11を用いて、本実施例に係るCPUのクロック制御装置の回路構成と電源回路の構成について説明しよう。図11は、本発明の第四の実施例に係るCPUのクロック制御装置の回路構成と電源回路の構成を示すブロック図である。

【0090】選択情報生成回路100は、性能情報からクロック信号の選択情報を生成することができる。電源検出回路110は、電源供給手段を識別するための回路である。また、電源制御回路111は、電源供給手段をAC電池113にするか電池114にするかを制御する。電源供給手段の選択回路112は、実際にどちらの電源を採用するか切り替える回路である。ここで、AC電源113は、このCPUを用いた情報処理装置の外部から電力供給され、電池114は、情報処理装置に内蔵されることを想定している。これらAC電源113と電池114は、どちらか一方が電源供給手段として使用されるものであり、どちらを使用するかは、電源制御回路111によって決定される。電源制御回路111の指示

により、選択回路112はAC電源113と電池114のいずれかを選択して情報処理装置で電力を供給するものである。

【0091】また、電源検出回路110は、電源制御回路111が選択回路112へ指示した情報をCPU1によって読み出されることを可能にし、CPU1が現在どちらの電源供給手段を使用中であるかを検出できる。

【0092】選択情報生成回路100がCPU1の性能情報を選択するのは、CPU1が情報を設定するアドレスバス2とデータバス3を介して入力されるデータにより決定される。

【0093】以下、図12を用いて、この選択情報回路100の構成と動作について詳細に説明しよう。図12は、本発明の第四の実施例に係る選択情報回路の回路構成を示すブロック図である。

【0094】2ポートRAM101は、アドレス4ビット、データ3ビット、デコーダ回路102は3ビットとして構成されている。なお、本実施例も性能レベルは、「0」から「7」までの、8段階を想定している。2ポートRAM101は、アドレスバス2およびデータバス3から情報が設定される。この設定された情報にしたがって、性能情報線11, 12の4ビットの性能情報がアドレス情報となり、その結果として読み出された3ビットのデータがデコーダ回路102へ送られる。送られたデータから、デコーダ回路102は、8ビットのクロック選択情報を出力し、8種類クロック信号のうち1つを選択する。

【0095】ここで、次の表1と表2を用いて、この2ポートRAM101へ設定される情報と出力の例を説明しよう。表1は、AC電源113を使用している通常動作モード時の性能情報の設定を対照した表である。

【0096】

【表1】

表 1

| アドレス(性能情報) | | データ(設定情報) | |
|------------|-------|-----------|------|
| 信号線11 | 信号線12 | クロックレベル | 信号線8 |
| 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 |

【0097】表2は、電池114を使用している省電力動作モード時の設定対照した表である。

【0098】
【表2】

表 2

| アドレス(性能情報) | | データ(設定情報) | |
|------------|-------|-----------|------|
| 信号線11 | 信号線12 | クロックレベル | 信号線8 |
| 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 |

【0099】表1に示される性能情報の設定は、基本的に第一の実施例と同様のアルゴリズムによるものであり、性能情報線11と12の情報を加算するアルゴリズムである。したがって、実行しているタスクの性能情報の和が実際のCPU1のクロックレベルとして用いられる。

【0100】一方、表2に示される性能情報の設定は、電池駆動で使用している場合に用いられる場合のもので、CPU1がフルパワーで動作しないようなアルゴリズムである。こりアルゴリズムでは、CPU1が高速で動作するクロックレベル6と7の設定を使用しない、つまり、性能情報線11と12の総和が6以上の時はクロ

ックレベル5に設定するように工夫されている。

【0101】このように、第四の実施例では、電源供給手段の使用状態に応じて、CPU1へ与えるクロック周波数を制御することで、電池114を用いている場合は、処理性能は低下するものの、使用している電池の動作時間を長くできる効果がある。

【0102】

【発明の効果】本発明によれば、マルチタスクの動作環境において、その情報処理装置で動作させるプログラムの性能に応じて、低い性能で済む処理プログラムの実行時には、その要求性能を満足する必要最低限のCPUの動作クロックに自動的に切り替えて消費電力を節約し

て、タスク実行中でも低消費電力での作動を実現しうるCPUのクロック制御装置およびクロック制御方法を提供することができる。

【0103】また、本発明によれば、その情報処理装置がAC電源で作動するか電池で作動するかを判定し、電池で作動するときにのみ、低消費電力で作動するCPUのクロック制御装置およびクロック制御方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例に係るCPUのクロック制御装置の回路構成を示すブロック図である。

【図2】本発明の第一の実施例に係る性能情報設定回路の回路構成を示すブロック図である。

【図3】本発明の第一の実施例に係る選択情報生成回路の回路構成を示すブロック図である。

【図4】タスク起動時のタスク管理プログラムの動作をあらわすフローチャートである。

【図5】タスク終了時のタスク管理プログラムの動作をあらわすフローチャートである。

【図6】各タスクの状態と性能情報の関係を経時順に示したタイミングチャートである。

【図7】本発明の第二の実施例に係るCPUのクロック制御装置の回路構成を示すブロック図である。

【図8】本発明の第三の実施例に係るCPUのクロック制御装置の回路構成を示すブロック図である。

【図9】本発明の第三の実施例に係る選択情報設定回路の回路構成を示すブロック図である。

【図10】タスク管理プログラムの性能情報を設定する動作をあらわすフローチャートである。

【図11】本発明の第四の実施例に係るCPUのクロック制御装置の回路構成と電源回路の構成を示すブロック図である。

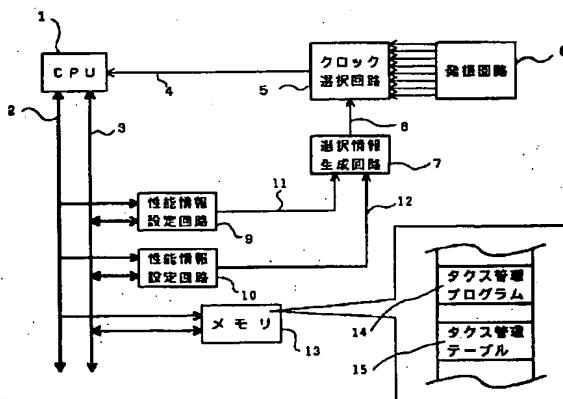
【図12】本発明の第四の実施例に係る選択情報回路の回路構成を示すブロック図である。

【符号の説明】

1…CPU、2…アドレスバス、3…データバス、4…CPU1のクロック線、5…クロック選択回路、6…発振回路、7…選択情報生成回路、8…選択情報信号線、9, 10…性能情報設定回路、11, 12…性能情報線、13…メモリ、14…タスク管理プログラム、15…タスク管理テーブル、20…タスクID設定レジスタ、21…イネーブル設定レジスタ、22…性能情報設定レジスタ、23…論理積回路、30…加算回路、31…キャリー信号線、32～34…論理和回路、35…デコーダ回路、60…CPU、61…分周回路、62…発振器、70…選択情報設定回路、71…タスク管理プログラム、80…レジスタ、100…選択情報生成回路、110…電源検出回路、111…電源制御回路、112…選択回路、113…AC電源、114…電池、101…2ポートRAM、102…デコーダ回路。

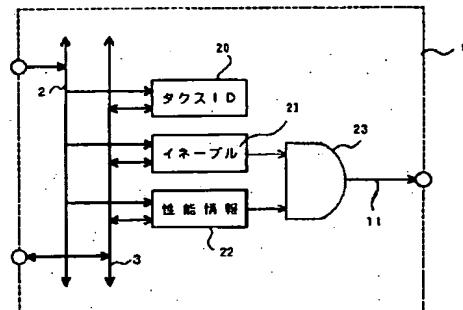
【図1】

図 1



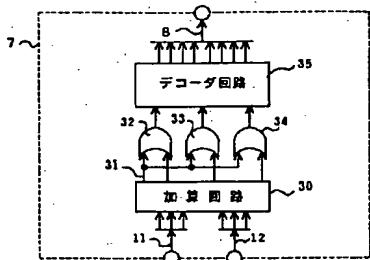
【図2】

図 2



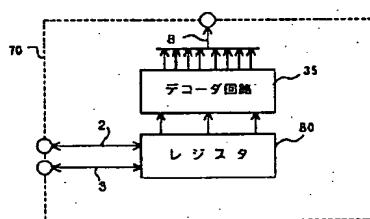
【図3】

図3



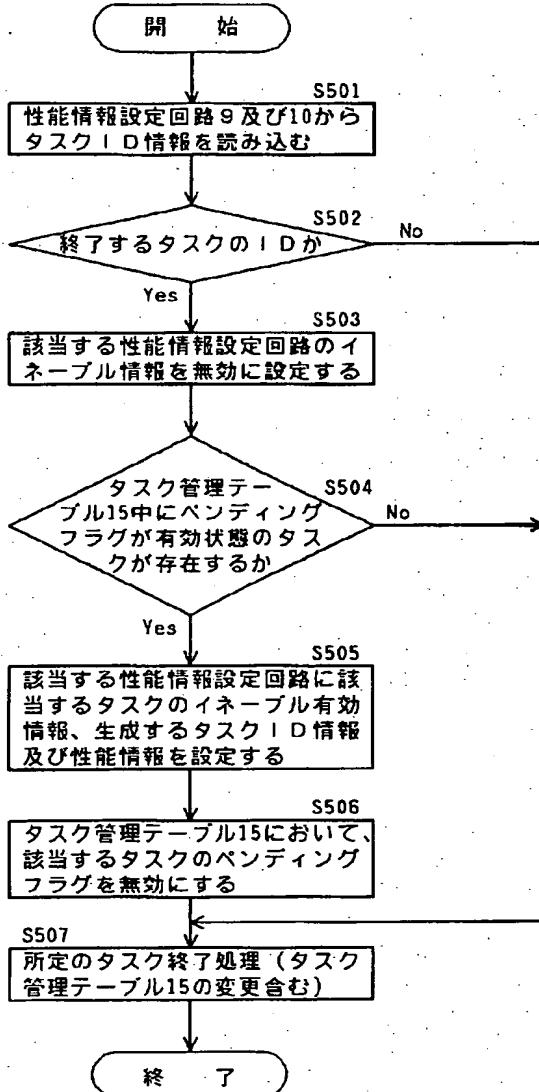
【図9】

図9



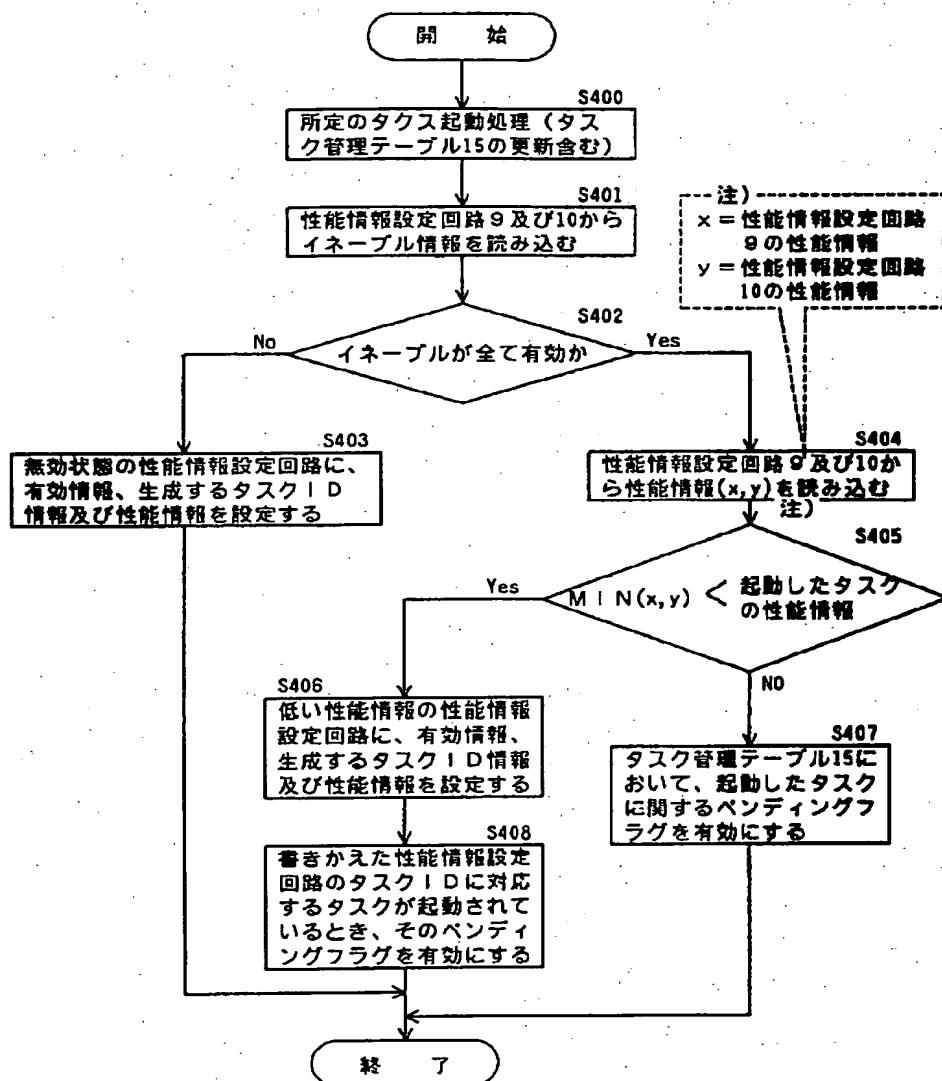
【図5】

図5



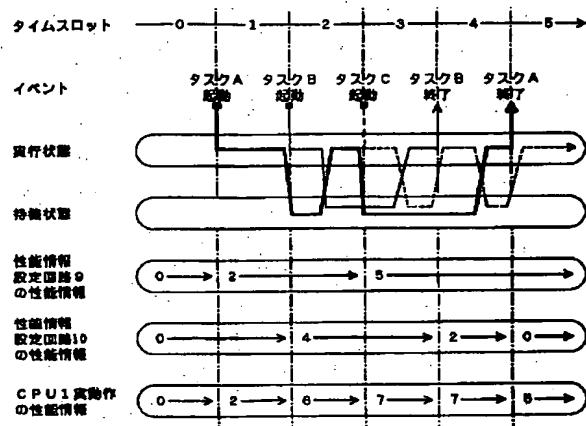
【図4】

図 4



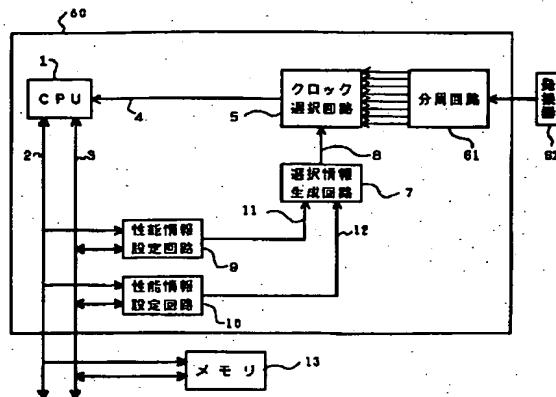
【図6】

図 6



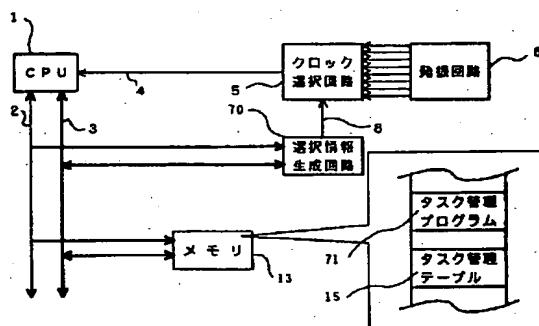
【図7】

図 7



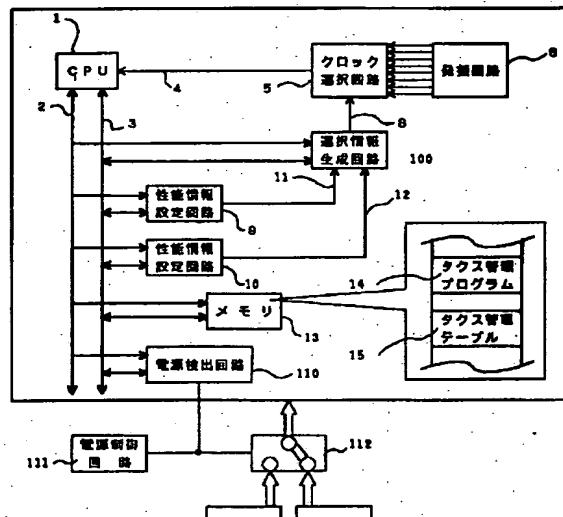
【図8】

図 8



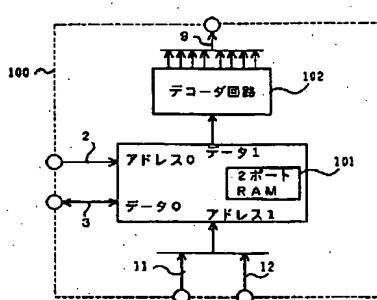
【図11】

図 11



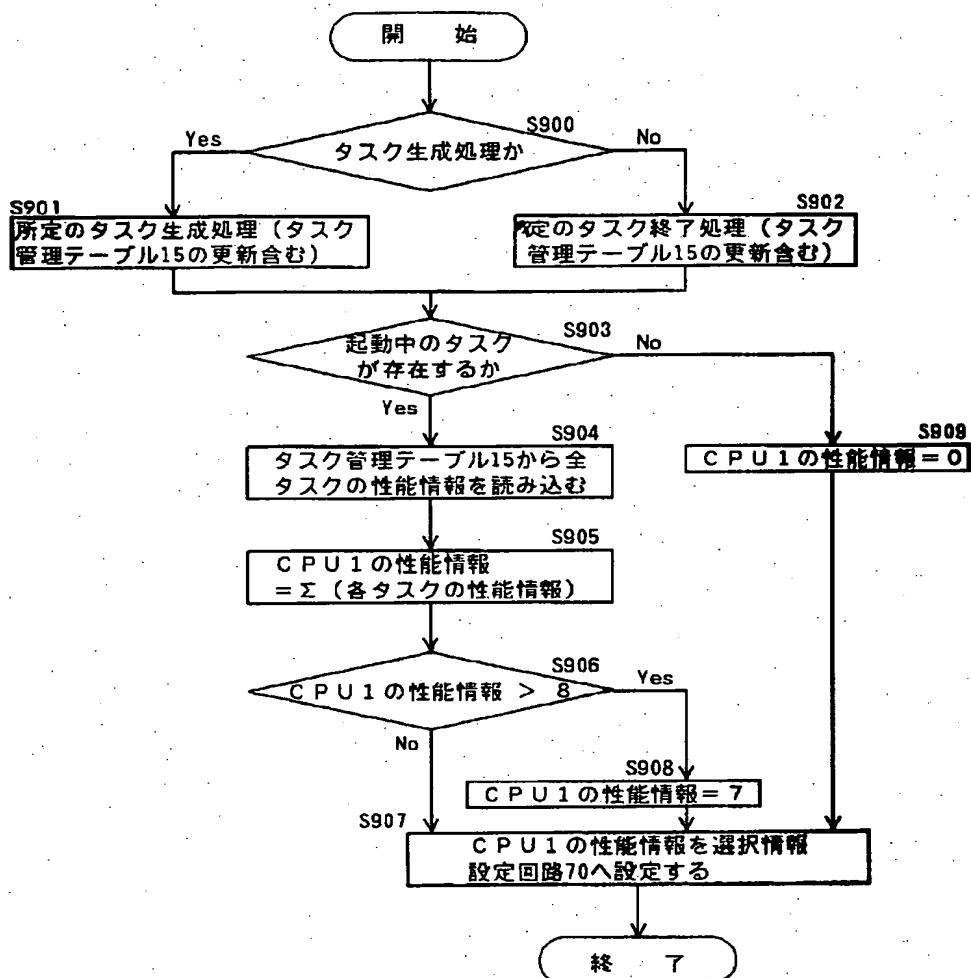
【図12】

図 12



【図10】

図 10



フロントページの続き

(72) 発明者 大場 信弥
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体事業部内